

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000029860 A  
 (43)Date of publication of application: 25.05.2000

(21)Application number: 1019997001023  
 (22)Date of filing: 06.02.1999

(71)Applicant: HITACHI LTD.  
 (72)Inventor: FUJISAKI, YOSHIHISA  
 HIRATANI, MASAHIKO  
 IMAGAWA, KAZUSHIGE  
 KUSHIDA, KEIKO  
 MATSUI, YUICHI  
 MIKI, HIROSHI  
 TAKAKI, KAZUMASA  
 TORII, KAZUYOSHI

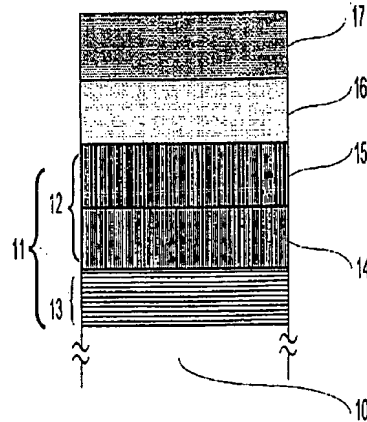
(51)Int. Cl. H01L 21/8242

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

## (57) Abstract:

PURPOSE: A semiconductor device and its manufacturing method are provided for semiconductor device using oxide dielectric as a capacitor suitable for Large Scale Integrated circuit.

CONSTITUTION: An oxide dielectric is used in a capacitor of a semiconductor device. The semiconductor device comprises a substrate(10), a lower electrode layer(11) provided on the substrate (10), an oxide dielectric layer(16) provided on the lower electrode layer (11), an upper electrode layer(17) provided on the oxide dielectric layer (16). The lower and upper electrode layer(11, 17) and the oxide dielectric layer(16) constitutes oxide dielectric capacitor. The lower electrode layer(11) has a conductive oxide layer(12). The conductive oxide layer(12) comprises 2 layers(14, 15) having same crystal structure. The layer(14) near the substrate(10) has oxygen deficiency.



COPYRIGHT 2000 KIPO

## Legal Status

Date of request for an examination (00000000)  
 Notification date of refusal decision (00000000)  
 Final disposal of an application (application)  
 Date of final disposal of an application (00000000)  
 Date of registration (00000000)  
 Date of opposition against the grant of a patent (00000000)

**BEST AVAILABLE COPY**

특2000-0029860

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>  
H01L 21/8242

(11) 공개번호 특2000-0029860  
(43) 공개일자 2000년05월25일

(21) 출원번호 10-1999-7001023  
(22) 출원일자 1999년02월06일  
    변역문제출일자 1999년02월06일  
(86) 국제출원번호 PCT/JP1996/02226 (87) 국제공개번호 WO 1998/06131  
(86) 국제출원출원일자 1996년08월07일 (87) 국제공개일자 1998년02월12일  
(81) 지정국 EP 유럽특허 : 오스트리아 벨기에 스위스 독일 덴마크 스페인 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투갈 스웨덴 핀란드  
    국내특허 : 중국 일본 대한민국 미국  
(71) 출원인 가부시키가이샤 히타치 세미사쿠쇼 가나이 쓰도무  
    일본국 도쿄도 지요다구 간다 스루가다이 4-6  
(72) 발명자 히라타니 마사히코  
    일본도쿄도아까시시마시즈프지가오파2-5-18-507  
    구시다, 게이코  
    일본도쿄도고다이라시오가와하가시마찌1-23-14-301  
    도리이, 가즈요시  
    일본도쿄도하찌오우지시아프찌찌포1-47-3-403  
    미끼, 히로시  
    일본도쿄도신쥬꾸가미오찌마찌1-8-17-401  
    마찌이, 유이찌  
    일본도쿄도고다이라시조오스미혼쵸5-19-1  
    후지사끼, 요시히사  
    일본도쿄도후쥬우시모미지가오파1-21-32-301  
    이마가와, 가즈시게  
    일본도쿄도고가네이시혼쵸4-8-136  
    다카기, 가즈마사  
    일본도쿄도니시타마군하노데마찌하라이2196-376  
(74) 대리인 장수길, 주성민

심사청구 : 없음

(54) 반도체장치및그제조방법

요약

산화물 유전체를 캐패시터로 하는 반도체 장치의 구조 및 제조 방법에 관한 것으로, 캐패시터 하부의 전극에 있어서의 계면 산화를 억제하는 데 목적이 있다. 하부 전극(11), 그 위의 산화물 유전체(16), 그 위의 상부 전극(17)에 의해 산화물 유전체 캐패시터가 구성되어 있다. 하부 전극(11)은, 2층 도전성 산화물층(12)을 포함하고, 이 인접하는 2층(14 및 15)은 동일한 결정 구조 및 원소로 구성되지만, 기관촉(10)의 층(14)은 산소 결손을 포함한다. 산소 결손을 포함하는 도전성 산화물층(14)이 산소 확산 방지층으로서 기능하므로, 이것과 인접하는 하부 전극의 구성요소(13) 및 그 계면은 산화가 억제되고, 양호한 전기적 접촉이 보장된다.

도면

도1

색인어

하부 전극, 상부 전극, 산화물 유전체, 산소 결손, 도전성 산화물층

## 요지

### 기술분야

본 발명은, 대규모 집적 회로(LSI)에 적당한, 산화를 유전체, 특히 산화를 강유전체를 캐패시터로서 이용하는 반도체 장치, 및 그 제조 방법에 관한 것이다.

### 배경기술

다이나믹 랜덤 액세스 메모리(DRAM)를 비롯한 LSI를 구비한 반도체 장치는, 고집적화에 따르는 캐패시터 면적의 축소와, 그것을 보상하기 위한 구조의 복잡화가 문제로 되어 있다. 그 때문에, 지금까지 캐패시터 절연막으로서 사용되어 온 실리콘 산화물, 질화물을 대신하여, 비유전율이 수백으로부터 수천으로 매우 큰 산화를 유전체나 산화를 강유전체를 캐패시터 절연막에 적용하는 것이 검토되고 있다(여기서 말하는 산화를 유전체는, 실리콘 산화물 등을 포함하지 않고, 비유전율이 수백 있는 소위 강유전체를 의미함). 또한, 강유전체는 자발분극을 구비하고, 외부 전장에 의해 그 극성을 반전시킬 수 있을 뿐만 아니라 유지시킬 수도 있으므로, 불휘발성 메모리로서의 응용이 시도되고 있다. 또, 종래의 강유전체를 이용한 메모리에 대해서는, 예를 들면, 특개소 63-20198호 공보에 기재되어 있는(산화를 강유전체도 커리 온도 이상에서는, 유전체로 간주될 수 있으므로, 이하의 설명에서는 대표적인 기술로서 유전체라는 말을 이용하여 설명함).

상기 메모리에 사용되는 산화를 유전체로서는, 티탄산지르콘산염(鉛), 티탄산스트론튬바륨 등이 일반적이다. 그러나, 산화를 유전체를 결정화시키기 위해서는 산화성 분위기 속에서 500℃ 이상으로 높은 온도가 요구되는 것이, 종래의 메모리 등 반도체 장치에의 산화를 유전체 캐패시터의 적용을 어렵게 한다.

예를 들면, 내산화성 또는 내열성의 전극으로서 백금을 산화를 유전체 캐패시터의 하부 전극으로서 이용하는 구조,

(종래 구조 1) 산화를 유전체/백금/실리콘

를 생각할 수 있지만, 백금과 실리콘은 반응하여 백금 실리콘사이드가 양자의 접합 계면에 반응 형성하여 전극이 고저항화하므로, 백금 전극을 실리콘 기판이나 다결정 실리콘과 직접 접촉시키는(종래 구조 1)은 바람직하지 않다. 그래서, 예를 들면, 1989 마이 이 이 이 인터내셔널 솔리드 스테이트 서킷 컨퍼런스 다이제스트 제242페이지로부터 제243페이지(1989 IEEE Int. Solid-State Circuits Conf. Digest pp. 242-243)에 기재되어 있는, 별도의 구조가 제안되었다. 여기서는, 산화를 유전체 캐패시터는 중간 절연막 위에 형성되고, 한편 MOS 트랜지스터는 캐패시터의 영역밖에 형성되고, 그 소스 또는 드레인과 캐패시터 사이에는 알루미늄 등의 배선용 도전층을 이용하여 접속된다. 그러나, 이 배선용 도전층을 이용하는 방법으로는 메모리 셀의 면적을 작게 하는 것이 어려워 메모리를 고집적화하는 점에서 불리하다.

MOS 트랜지스터를 형성한 반도체 기판을 절연체로 피복하여 이 위에 산화를 유전체 캐패시터를 형성하는 메모리를 보다 고집적화하는 방법으로서, 피복 절연층에 콘택트 홀을 천공하여 그 내부에 도전성 물질을 채워넣어 MOS 트랜지스터의 소스 또는 드레인과 캐패시터의 한쪽 전극 사이를 전기적으로 접속하는 방법이, 특개평 3-256358호 공보에 기재되어 있다. 이 때립되는 도전성 물질로서는, 다결정 실리콘이 일반적 으로 이용된다. 이후의 설명에서는, 이 구조를 전제로 설명한다. 그러나, 이 구조에서도 상술된 동일한 문제가 부상한다. 즉, 산화를 유전체를 다결정 실리콘 상에서 직접 결정화하는 구조,

(종래 구조 2) 산화를 유전체/다결정 실리콘,

에서는 양자의 계면은 산화되어 반응 절연층이 형성된다. 한편, 이 반응 절연층의 형성을 억제하는 목적으로 다결정 실리콘과 산화를 유전체 사이에 백금을 전극으로서 삽입하는 구조는,

(종래 구조 3) 산화를 유전체/백금/다결정 실리콘,

이 되고, 본질적으로(종래 구조 1)과 동일한 구성으로, 백금과 다결정 실리콘이 반응하여 실리콘사이드가 형성하여 전극이 고저항화하거나, 실리콘이 백금 속을 확산하여 백금 표면에 산화실리콘막이 형성되어 유전체 캐패시터의 특성이 열화하기도 한다. 또한, 유전체의 구성 원소가 실리콘 기판속으로 확산하는 등의 문제도 발생한다.

이들 문제를 해결하는 방법으로서, 특개평 4-14862호 공보나 특개평 4-181766호 공보에 기재되어 있듯이, 백금 전극과 실리콘 사이에 상호 확산을 방지할 목적으로, Ti, Ta, TiN 등의 확산 방지 비산화물 도전층을 설치하는 구조,

(종래 구조 4)

산화를 유전체/백금/(Ti, Ta, TiN 등)/다결정 실리콘,

이 있다.

한편, 백금이나 Ti, Ta, TiN 등을 전극 구성 요소로서 이용하는 것과는 별도로, 도전성의 산화물을 산화를 유전체 캐패시터의 전극으로서 이용하는 예가 보고되고 있다. 이 전형적인 예로서, 저어널 오브 마테리얼 리서치, 제8권(1993년), 제12 페이지(J. Mat. Res. Vol. 8(1993), pp. 12)에서 볼 수 있는, (종래 구조 5) 산화를 유전체/산화 루테튬/SiO<sub>2</sub>의 구조를 들 수 있다. 산화를 유전체를 도전성의 산화 루테튬과 직접 접촉시키는 미점은, 산화를 유전체가 완전히 이종의 금속 전극과 접촉하는 경우보다도, 동일한 산화물의 전극과 접촉하는 경우가, 산화를 유전체/전극 계면의 기계적인 부착력이 증대하기 때문이다. 이 산화를 유전체와 전극 사이의 기계적인 부착력의 증대는, 산화를 유전체 캐패시터의 분극 반전 사이클 등의 특성을 개선한다. 또한, 이 예에서는 캐패시터는 SiO<sub>2</sub> 상에 형성되어 있지만 다결정 실리콘 상에 캐패시터를 형성하는 경우에는, (종래 구조 1) 및 (종래 구조 3)과 동일한 이유로부터, 산화물인 산화 루테튬이

다결정 실리콘과 직접 접촉하는 것을 피하기 위해 양자간에 백금이나 루테튬 등의 귀금속층을 설치할 필요가 있고, 그 경우의 구조는,

(종래 구조 6)

산화물 유전체/산화 루테튬/(백금, 루테튬 등)/다결정 실리콘이 된다.

<발명의 개시>

상기 종래 기술의 항에서는, MOS 트랜지스터를 형성한 반도체 기판을 절연체로 피복하고, 이 위에 산화물 유전체 캐패시터를 형성하는 메모리에 대해, 보다 고집적화하기 위한 종래 기술을 설명하였다. 상술된 바와 같이, MOS 트랜지스터의 소스 또는 드레인과 캐패시터의 한쪽 전극 사이의 전기적 접속은, 피복 절연층에 콘택트 홀을 천공하고 그 내부에 일반적으로 다결정 실리콘으로 이루어지는 도전성 물질을 매립함에 따라 이루어진다. 전항에서의 대표적인 2개의 구조,

(종래 구조 4)

산화물 유전체/백금/(Ti, Ta, TiN 등)/다결정 실리콘,

(종래 구조 6)

산화물 유전체/산화 루테튬/(백금, 루테튬 등)/다결정 실리콘, 각각은 이하에 설명하는 문제점을 갖고 있다.

우선, (종래 구조 4)에 대해 설명한다. 산화물 유전체를 결정화시키기 위해서는, 500℃ 이상의 산화성 분위기가 요구되지만, 이와 같은 조건하에서는 산소가 백금결정립(粒)의 입계(粒界)등을 확산하여 확산 방지 비산화물 도전층(Ti, Ta, TiN 등)에까지 달하고, 이것도 산화시킬 가능성이 크다. 그 결과, 전극 자체의 저항이 증대한다. 이것을 회피하는 대책으로서, 백금층의 두께를 증대시키는 것을 생각할 수 있지만, 메모리의 집적도가 높아 캐패시터가 미세한 경우에는 애스펙트비가 증대하는 결과, 백금층의 가공이 곤란해질 뿐만 아니라, 캐패시터 측벽부에서의 누설 전류의 증대 등도 생긴다. 이 때문에, Ti, Ta, TiN 등을 산화 확산 방지층으로서 이용하는 (종래 구조 4)에서는 종래 기술의 문제점은 해결되지 않는다.

이어서, (종래 구조 6)에 대해 설명한다. 이 경우도 통상, 산화 루테튬층은 역시 산화성 분위기에서 형성되기 때문에, 산소가 (백금, 루테튬 등)층을 통해 다결정 실리콘까지 확산하고, 산화 반응에 따라 절연층이 형성되는 문제는 해결되지 않는다. 따라서, (종래 구조 6)에서도 종래 기술의 문제점은 해결되지 않는다.

이상의, 종래 구조에서의 문제점은, 상기 예에서 구체적으로 도시한 재료뿐만 아니라, (백금, 루테튬 등)으로 이루어지는 층은 귀금속으로서, (Ti, Ta, TiN 등)으로 이루어지는 층은 확산 방지 비산화물 도전층으로서, 산화 루테튬층은 도전성 산화물로서, 각각을 보다 일반적인 범주인 재료 분류로 확장해도 적합하다. 즉, (종래 구조 4)와 (종래 구조 6)은 각각,

(종래 구조 7)

산화물 유전체/귀금속/확산 방지 비산화물 도전층/다결정 실리콘,

(종래 구조 8)

산화물 유전체/도전성 산화물/귀금속/다결정 실리콘,

이라는 보다 일반적인 재료 분류를 이용하여 표시된다. 여기서, 상술된 캐패시터를 구성하는 각 층이 초래하는 문제점을 통합한다.

우선 귀금속층이 초래하는 문제점은, (a) 실리콘과의 접촉에 의해 고저항의 실리사이드가 형성될 가능성과 (b) 실리콘, 산소 및 산화물 구성 원소의 확산 경로가 될 가능성이 있고, 이어서 산화물 유전체 및 도전성 산화물층이 초래하는 문제점은 (c)전극을 산화하여 전극 저항이 증대 혹은 절연화할 가능성이고, 마지막으로 확산 방지 비산화물 도전층이 초래하는 문제점은 (d)산화되어 고저항화할 가능성이다.

여기서, (종래 구조 7)과 (종래 구조 8)의 특징에 주목하여, 양 구조를 단순히 복합화하는 구조,

(종래 구조 9)

산화물 유전체/도전성 산화물/귀금속/확산 방지 비산화물 도전층/다결정 실리콘,

이 유추된다. 이 경우, 상기 문제점(a) 실리사이드 형성과 상기 문제점(b) 중 실리콘 및 산화물 구성 원소의 확산은, 확산 방지 비산화물 도전층의 삽입에 의해 해결된다. 그러나, 산소의 확산과 전극의 산화에 얽힌 상기 문제점 (b), (c), (d)는, 산화물을 산화성 분위기에서 형성시킨다고 하는 종래의 필수 조건이 하등 개선되지 않기 때문에, (종래 구조 4)와 같이 해결되지 않은 상태이다.

즉, 종래의 기술에서는 산화물이 다결정 실리콘과 직접 접촉하는 경우는 물론, 산화물이 귀금속을 통해 다결정 실리콘과 접촉하는 경우나 산화물이 귀금속을 통해 확산 방지 비산화물 도전층과 접촉하는 경우 중 어느 경우라도, 산화물 유전체나 도전성 산화물이라고 한 산화물이 귀금속이나 확산 방지 비산화물 도전층이나 다결정 실리콘이라고 한 비산화물에 대해 산소의 확산이나 산화 반응을 초래하는 문제점은, 일결 해결되지 않는다.

상술된 바와 같이, 산화물 유전체와 다결정 실리콘 사이에서 전기적인 접속을 취하는 경우에는, 양자간에 도전성의 산화 방지층이 요구되지만, 종래에는 유효한 산화 방지층이 없고, 이것을 보충하기 위해 또한 백금 등의 금속층이 개재되어 있다. 그러나 유감스럽게도, 산소는 금속층의 입계에 확산하여 산화 방지층에 달하고, 이것을 산화할 가능성이 역시 남는다. 이 결점을 보충하기 위해 금속층의 두께를 증대시켜도, 결과적으로 캐패시터의 애스펙트비가 증대하고, 미세한 메모리 셀을 구축하는 관점에서는 바람직하지 않다. 따라서, 이 문제점을 해결하기 위해 신규 또는 유효한 확산 또는 산화 방지층이 바람직하다.

본 발명의 제1 목적은 상술된 종래 기술의 문제점을 해결하고, 또한 산화를 유전체(강유전체를 포함하여)를 캐패시터 절연막에 이용한 고집적화에 적당한 미세한 메모리를 구비한 반도체 장치를 제공하는 것에 있다.

또한 본 발명의 제2 목적은, 그와 같은 반도체 장치의 제조 방법을 제공하는 것에 있다.

상술된 문제의 해결에 있어서, 본 발명에서는 산화물의 유전체로 이루어지는 캐패시터(컨덴서)를 구비한 반도체 장치에서, 반도체 기판 또는 기판 상부에 설치된 반도체층과 산화물의 유전체를, 다른 도전성 재료로 이루어지는 적어도 2층의 영역을 통해 접속한다. 이 2개의 도전성 영역의 재료(혹은 재료 조성)의 편성에 따라, 반도체로 이루어지는 영역과 산화물 유전체로 이루어지는 영역 사이에 배치된 확산 방지층 또는 산화 방지층에서 종래 기술로 생긴 전기적인 저항치의 상승을 억제하는 것이다.

본 발명에서의 반도체 장치는, 도전성을 구비한 반도체 재료로 이루어지는 제1 영역(반도체 기판 또는 반도체 박막으로 이루어지는 배선층이나 전극부)과, 제1 영역에 접합되고 또한 제1 도전성 재료로 이루어지는 제2 영역과, 제2 영역에 접합되고 또한 제2 도전성 재료로 이루어지는 제3 영역과, 제3 영역에 접합되고 또한 산화물의 유전체 재료로 이루어지는 제4 영역과, 제4 영역에 접합되고 또한 도전성 재료로 이루어지는 제5 영역을 포함하고, 제1 영역 내의 제2 영역과의 접합 계면에서의 재료 조성은 제1 영역의 평균적인 재료 조성과 대략 같고, 제2 영역 내의 제1 영역과의 접합 계면 및 제3 영역과의 접합 계면에서의 재료 조성은 제2 영역에서의 평균적인 재료 조성 및 대략 같은 것을 기본적인 구성 상의 특징으로 한다. 이 특징으로부터도 알 수 있듯이, 제3 영역과 제5 영역은 제4 영역을 통해 캐패시터를 구성하고 있다. 제4 영역을 구성하는 산화물 유전체는, 인가 전장의 상승과 하강에 대해 분극치의 변화가 다른 특성(히스테리시스)을 나타내는 소위 강유전체로 해도 된다.

본 발명의 반도체 장치의 주된 특징은, 제1 영역이 제2 영역과의 접합 계면에서 제1 영역을 구성하는 반도체 재료와 대략 같은 조성을, 제2 영역이 제1 영역과의 접합 계면 및 제3 영역과의 접합 계면에서 제1 도전성 재료와 대략 동일한 재료조성을 각각 구비하도록, 한편이면 제1 영역과 제2 영역의 재료 조성이 각각 대략 동일해지도록 구성된 점에 있고, 즉 이들의 영역에서 전기 저항을 상승시키는 물질(상술된 실리콘 산화물이나, 금속 실리콘사이드, 산화 티탄 등)이 형성되지 않은 것이다. 상술된 바와 같이 전기 저항을 높이고 또는 실질상 전기적인 절연성을 나타내는 물질(이하, 고저항 물질)은, 제1 영역 상에 제2 영역으로부터 제4 영역까지의 각 층을 축적 적용해 가는 공정에서 영역 사이의 접합 계면을 중심으로 형성된다. 이에 대해 본 발명은 제1 도전성 재료와 제2 도전성 재료를 적절히 선정함으로써, 제1 영역과 제2 영역과의 접합 계면, 및 제2 영역과 제3 영역과의 접합 계면에서의 고저항 물질의 형성을 막고, 제1 영역을 제2 영역과의 접합 계면 및 제3 영역과의 접합 계면에서의 재료 조성이 제2 영역에서의 평균적인 재료 조성 및 대략 같아지도록, 제2 영역을 제1 영역과의 접합 계면 및 제3 영역과의 접합 계면에서의 재료 조성이 제2 영역에서의 평균적인 재료 조성 및 대략 같아지도록, 형성하는 것이다. 여기서 제3 영역과 제4 영역과의 접합 계면에서는 고저항 물질 형성이 문제가 되지 않은 것은, 제3 영역에 귀금속을 이용하는(종래 구조 7) 또는 도전성 산화물을 이용하는(종래 구조 8)로부터 분명히 알 수 있지만, 제1 영역으로부터 제3 영역에 이르는 도전성을 개선하고, 또는 제4 영역의 산화물의 형성 조건을 개선하기 위해 제3 영역과 제4 영역 사이에 제1 및 제2 도전성 재료와는 다른 조성의 도전 재료로 이루어지는 영역(층)을 설치해도 좋다. 또한 동일한 환경에서, 제1 영역과 제2 영역 사이에 제1 및 제2 도전성 재료와는 다른 조성의 도전 재료로 이루어지는 영역(층)을 설치해도 좋다. 요는, 제2 영역과 제3 영역이 접합되면 되는 것이다.

본 발명을 실시하는데, 제1 도전성 재료와 제2 도전성 재료의 선정이 가장 중요하지만, 그 선정 지침은 2가지이다. 제1 지침은 2개의 도전성 재료를 모두 동일한 원소로 구성하고, 또한 동일한 결정 구조의 기본 골격을 구비한 도전성 산화물로 형성하고, 제1 도전성 재료에서의 산소의 조성비를 제2 도전성 재료에서의 그것보다 낮아지는, 즉 제1 도전성 재료를 산소 결손의 상태로 하는 것이다. 제2 지침은 제1 도전성 재료에 질화티타늄 알루미늄(TiAlN)을, 제2 도전성 재료에 산화화성의 금속 재료를 각각 이용하는 것이다. 어느 선정 지침에서도, 2개의 도전성 재료는 그 고유의 저항률이 각각  $10\text{m}\Omega \cdot \text{cm}$  ( $0.01\Omega \cdot \text{cm}$ ) 이하의 것을 선택하는 것이 바람직하다. 이하, 도전성 재료 선정 지침별로 본 발명의 개요를 개략적으로 설명한다. 이하의 설명에서는 제1 영역으로부터 제3 영역(제3과 제4 영역 사이에 도전 재료층을 설치하는 경우에는, 이것을 포함하여)을 하부 전극, 제5 영역을 상부 전극이라고 명명한다.

#### 1. 도전성 재료 선정 지침 1

이 지침은, 본 발명의 제1 목적을 달성하기 위해 제2 영역과 제3 영역을 산소의 확산 및 산화 반응을 억제할 수 있는 2층 도전성 산화물층으로서 형성하는(제3 목적)것과, 본 발명의 제2 목적을 달성하기 위해 산소 확산 및 산화 반응을 억제할 수 있는 2층 도전성 산화물층의 제조 방법을 제공하는(제4 목적)것을 각각 배려한 것이다.

여기서는, 상기 제1 목적을 달성하기 위해 산화물 유전체 캐패시터를 이용하는 반도체 장치, 특히 산소 결손을 구비한 도전성 산화물층을 포함하는 2층 도전성 산화물층 등으로 구성되는 반도체 장치의 구조에 대해 우선 설명한다. 이어서, 금속층의 특징과 구체적인 예, 확산 방지 비산화물 도전층의 특징과 구체적인 예, 산화물 유전체의 구체적인 예에 대해 차례로 설명한다. 또한, 산소 결손을 구비하는 도전성 산화물층을 포함하는 2층 도전성 산화물층의 특징과 구체적인 예를, 상기 제2 목적을 달성하기 위한 수단, 즉 반도체 장치의 제조 방법과 함께 설명한다. 상기 제3 목적을 달성하기 위한 방법은, 제1 및 제2 목적을 달성하기 위한 방법으로, 모두 자세히 설명된다. 상기 제4 목적을 달성하기 위한 방법은, 제2 목적을 달성하기 위한 방법으로, 모두 자세히 설명된다.

우선, 상기 제1 목적을 달성하기 위한 반도체 장치에 대해 설명한다. 본 발명의 반도체 장치는, 캐패시터 절연막으로서 산화물 유전체를 이용하는 산화물 유전체 캐패시터를 구비한다. 도 1은, 산화물 유전체 캐패시터의 모식도(개략도)를 도시한다. 제1도는, 반도체 장치의 산화물 유전체 캐패시터의 상세한 구조를 나타내는 것이 아니라, 캐패시터를 구성하는 각 층의 작용을 알기 쉽게 나타낸 것이다. 산화물 유전체 캐패시터는, 기판상(도 1에서는 기판층의 방향(10)만을 나타냄.)에 설치된 하부 전극층(11)과, 그 위에 설치된 산화물 유전체층(16)과, 또한 그 위에 설치된 상부 전극층(17)으로 구성된다. 그리고, 하부 전극층(11)은 도전성 산화물층(12)을 포함하고, 이 도전성 산화물층은 동일한 결정 구조 및 원소로 구성

되지만, 산소에 관한 조성비만이 다른 인접하는 2층(14와 15)으로 구성된다. 즉, 인접하는 2층 중, 기판 측에 위치하는 도전성 산화물층(14)이 산소 결손을 포함한다. 이 도전성 산화물층(14와 15)이 상기 개념으로 설명한 제2 영역과 제3 영역에 각각 대응한다.

반도체 장치에서는, 하부 전극층(11)은, 산소 결손을 포함하는 도전성 산화물층(14)보다도 기판측에 위치하는 적어도 하나 이상의 층을 포함하는 하부 전극층의 구성 요소(13)를 통해, 기판 상에 형성된 MOS 트랜지스터의 소스 영역 또는 드레인 영역과 전기적으로 접속된다. 이 하부 전극층의 구성 요소(13)의 예에 대해 도 2, 도 3 및 도 4를 이용하여 이하에 자세히 설명한다.

도 2는, 도 1에서의 산소 결손을 포함하는 도전성 산화물층(14)보다도 기판측에 위치하는 하부 전극층의 구성 요소(13)가, 도전성의 다결정 실리콘층(20)인 경우의, 산화물 유전체 캐패시터의 구성을 나타낸다. 여기서, 도전성의 다결정 실리콘층(20)은, 상기 개념으로 설명한 제1 영역에 대응한다. 종래 구조에서, 산화물을 결정화시키는 데 필요한 전형적인 조건, 산화성 분위기 속에서 500°C 이상에서는 실리콘의 산화를 피할 수 없으므로, 산화물이 실리콘과 직접 접촉하는 구조는 바람직하지 못한 것을 설명하였다. 그러나, 본 발명에서는 다결정 실리콘층(20)에 인접하는 층이 산소 결손을 포함하는 도전성 산화물층(14)인 것이 열쇠가 되고, 도 2의 구조가 실현된다. 산소 결손을 구비한 도전성 산화물층(14)을 포함하는 2층 도전성 산화물층(12)의 특징에 대해서는 후술하겠다.

도 3은, 도 1에서의 산소 결손을 포함하는 도전성 산화물층(14)보다도 기판측에 위치하는 하부 전극층의 구성 요소(13)가, 확산 방지 비산화물 도전층(30)과 도전성의 다결정 실리콘층(20)인 경우의, 산화물 유전체 캐패시터의 구성을 나타낸다. 여기서, 확산 방지 비산화물 도전층(30)은, 상기 개념으로 설명한 제1 영역과 제2 영역 사이에 설치된 층에 대응한다. 종래 기술에서, 산화물을 결정화시키는 데 필요한 전형적인 조건, 산화성 분위기 속에서 500°C 이상에서는 (종래 구조 7)에서 나타난 바와 같이 산화물과 확산 방지 비산화물 도전층 사이의 계면에서 금속속으로 격벽해도 금속속 속의 입체를 확산시키는 산소에 의해 확산 방지 비산화물 도전층의 산화를 피할 수 없으므로, 산화물이 확산 방지 비산화물 도전층과 직접 접촉하는 구조는 바람직하지 못한 것을 설명하였다. 그러나, 본 발명에서는, 확산 방지 비산화물 도전층(30)에 인접하는 층이 산소 결손을 포함하는 도전성 산화물층(14)인 것이 열쇠가 되고, 도 3의 구조가 실현된다. 산소 결손을 구비한 도전성 산화물층(14)을 포함하는 2층 도전성 산화물층(12)의 특징에 대해서는 후술하겠다.

도 4는, 도 1에서의 산소 결손을 포함하는 도전성 산화물층(14)보다도 기판측에 위치하는 하부 전극층의 구성 요소(13)가, 금속층(40)과 확산 방지 비산화물 도전층(30)과 도전성의 다결정 실리콘층(20)인 경우의, 산화물 유전체 캐패시터의 구성을 나타낸다. 여기서, 금속층(40)과 확산 방지 비산화물 도전층(30)은, 상기 개념으로 설명한 제1 영역과 제2 영역 사이에 설치된 층에 대응한다. 종래 기술에서, 산화물을 결정화시키는 데 필요한 전형적인 조건, 산화성 분위기 속에서 500°C 이상, 그러면 산소가 금속층(40)을 통해 확산하여 확산 방지 비산화물 도전층(30)을 산화할 가능성이 있고, 이것을 억제하기 위해 금속층(40)의 두께를 증대시킬 필요가 있는 것을 설명하였다. 그러나, 본 발명에서는 금속층(40)에 인접하는 층이 산소 결손을 포함하는 도전성 산화물층(14)인 것이 열쇠가 되고, 금속층의 두께에 제한은 없어 도 4의 구조가 실현된다. 산소 결손을 구비한 도전성 산화물층(14)을 포함하는 2층 도전성 산화물층(12)의 특징에 대해서는 후술하겠다.

여기서 금속층에서는 내산화성이 풍부한 귀금속이 후보로서 생각할 수 있다. 구체적으로는, 그 중에서도 내산화성에 우수한 백금, 혹은 나중에 설명하는 도전성 산화물층에 포함되는 귀금속 원소와 동일 원소인 루테튬 혹은 이리듐, 이상 3원소 중 적어도 일종의 귀금속 원소가 적당하다.

확산 방지 비산화물 도전층으로서 적당한 재료에 대해 진술한다. 확산 방지 비산화물 도전층으로서의 조건은, 물론 도전성, 내산화성, 그리고 실리콘에 대한 내반응성이다. 후보로서 생각할 수 있는 화합물군은 질화물(니트라이드), 실리콘사이드(규화물), 붕화물(붕소) 및 카바이드(탄화물)이다. 실리콘에 대한 내반응성에 대해서는, 이들 화합물은 안정적이고 일반적인 문제가 되지 않는다. 물론, 예를 들면 1000°C 이상으로 반도체 장치를 가열하면, 이들 화합물의 구성 원소와 실리콘이 반응하여 고저항 혹은 절연성의 반응 생성물이 형성될 가능성은 부정되지 않는다. 그러나, 반도체 장치에서의 산화물 유전체 캐패시터의 형성을 포함하는 후속 공정에서는, 가열 조건은 최고라도 800°C에서 수분 정도로, 상호 확산에 따른 반응 생성물이 형성되기 위해서는 충분한 온도 및 시간 조건이 아니므로, 실리콘에 대한 내반응성에 대해서는 우려되지 않는다. 내산화성에 대해서는, 본 발명에서의 2층 도전성 산화물층 중, 산소 결손을 포함하는 도전성 산화물층이 확산 방지 비산화물 도전층과 인접하는 경우(도 3)에는, 전혀 문제가 되지 않는다. 후술된 바와 같이, 산소 결손을 포함하는 도전성 산화물층의 형성 조건이 비산화성 분위기인 것, 또는 산소 결손을 포함하는 도전성 산화물층이 산소의 확산 경로에 대한 장벽이 되는 것 등의 이유에 의한 것이다. 또한, 산소 결손을 포함하는 도전성 산화물층이 금속층을 통해 확산 방지 비산화물 도전층과 접촉하는 경우(도 4)에는, 확산 방지 비산화물 도전층이 산화물층과 한층 더 떨어지게 되므로, 보다 문제가 되지 않는다. 동시에, 금속층이 확산 방지 비산화물 도전층과 인접하는 것은 종래 예로부터도 문제가 되지 않는다.

확산 방지 비산화물 도전층의 구체적 예를 상술한다. 질화물로서는, Ti, Ta, Zr, Nb, V 및 W 중 적어도 1종의 금속을 포함하는 질화물이 도전성에 풍부하므로 양호하다. 그 외에도, Ti 등의 실리콘사이드, La 등의 붕화물, Ti 등의 카바이드 등이 바람직하다.

산화물 유전체층으로서 적당한 재료에 대해 진술한다. 여기서, 산화물 유전체 재료는 강유전체 재료인 경우에도 당연히 포함되고, 또한 그 재료가 특히 한정되는 이유는 없다. 그러나, 몇 개의 기지 재료를 예로 들어 놓는다. 티타늄을 중심 원소로 하는 산화물 유전체로는, 티타늄의 일부 혹은 전부를 지르코늄으로 치환한 티탄산지르코산염, 이 연의 일부 혹은 전부를 바륨으로 치환할 수 있는 티탄산지르코산 바륨염, 알칼리토류 원소만을 포함하는 티탄산 바륨스트론튬 등이 전형적이다. 층형 구조로 이루어지는 비스무트계 유전체로는, Bi,Ti<sub>2</sub>O<sub>7</sub>, SrBi<sub>2</sub>Ta<sub>2</sub>O<sub>9</sub> 등의 비스무트층형 유전체가 전형적이다.

단, 여기서 열거한 예에 한하지 않고, 널리 기지된 산화물 유전체, 산화물 강유전체 및 금후 발견될 지도 모르는 신규 산화물 유전체, 산화물 강유전체 등이, 산화물 유전체층으로서 이용될 수 있다.

이어서, 도 2로부터 도 4의 구조의 설명에서 후술한다고 한, 산소 결손을 구비한 도전성 산화물층을 포함하는 2층 도전성 산화물층(12)의 특징에 대해 설명한다. 여기서는 그 특징을, 본 발명의 제2 목적인 반도체 장치의 제조 방법, 제3 목적인 산소의 확산 및 산화 반응을 억제할 수 있는 2층 도전성 산화물층의 기능, 및 제4 목적인 2층 도전성 산화물층의 제조 방법을 모두 달성하기 위해 2층 도전성 산화물층의 구조, 기능 및 제조 방법을 총괄하여 설명하겠다.

이미 설명된 바와 같이, 유전체나 전극 등의 산화물층을 형성하는 데에 문제가 되는 것은, 산화물층을 형성하기 위해 필수가 되는 산화성 분위기가, 이미 적용된 확산 방지 비산화물 도전층 및 다결정 실리콘층을 산화하는 것이다. 여기서 강조해야 할 것은, 산화물과 실리콘, 혹은 산화물과 확산 방지 비산화물 도전층이 반응하는 것은 아니라는 것이다. 산화물의 표준 생성 자유 에너지의 크기로부터, Si나 Ge의 알칼리 토류 원소나 Ru, Ti의 전이 원소의 산화물은 Si의 산화 반응보다도 훨씬 안정적이다. 또한, 전이 금속의 질화물, 실리사이드, 붕화물이나 카바이드로 구성되는 확산 방지 비산화물 도전층도, 역시 자유 에너지의 관점으로부터 산화물과 반응하여 산화된다고는 생각하기 어렵다. 오히려, 산화물층을 형성하는 분위기 속의 산화 활성 가스에 의해 이들은 산화되는 것이다. 그래서, 반도체 장치를 구성하는 다른 요소를 산화하지 않는다고 하는 의미에서의 비산화성 분위기 속에서 산화물층을 형성할 수 있으면, 큰 문제 해결이 된다고 생각했다.

산화물 유전체 캐패시터를 구성하는 산화물 유전체(강유전체를 포함함)나 도전성 산화물 전극 등의 산화물 박막은, 일반적으로 산화성 분위기 속에서 형성된다. 이것은 주로, 비산화성 분위기 속에서는 산화물이 화학적으로 불안정되기 때문에, 산화물 박막이 형성되지 않던지 형성 가능해도 충분한 특성을 얻을 수 없던지, 어느 한 상충적인 이유에 따른 것이다. 확실히, 연이나 비스무트라고 하는 4 및 5족의 전형 원소를 포함하는 산화물 강유전체에서는, 이들 원소의 증기압이 높기 때문에 불충분한 산화 조건에서의 박막 형성은, 선택적인 증발·증착 조성 변동을 일으킨다. 동시에, 목적 화합물 외의 분해 생성물이 혼재함으로써, 강유전 특성은 크게 저하한다. 또한, 비산화성 분위기는 화합물 속에 산소 결손을 도입한다. 티타늄이나 지르코늄 등의 4족의 전이 원소를 포함하는 산화물 유전체에서는, 산소 결손은 유전율의 저하, 나아가서는 누설 전류의 원인이 된다. 따라서, 산화물 유전체에 대해서는 그 박막을 비산화성 분위기 속에서 형성하는 것은 현실적이지 않다.

그러나, 산화물 유전체 캐패시터를 구성하는 또 하나의 산화물, 도전성 산화물 전극에 대해서는, 비산화성 분위기 속에서의 형성으로 산소 결손이 화합물 중에 도입되고 또한 분해 생성물이 혼재해도 전극 특성 혹은 반도체 장치에의 영향이 작은 한, 그 박막을 비산화성 분위기 속에서 형성할 수 있다고 생각하였다. 즉, 산소 결손은 전하 담체의 농도를 감소 혹은 증대시킴과 동시에 이동도를 변화시키는 등 저항율을 증대시키지만, 전극층으로서의 저항율이 확보되면 문제는 없다. 또한, 비산화성 분위기 속에서 박막 형성함으로써, 약간의 분해 생성물이 공존하여 저항율이 증대해도, 전극층으로서의 저항율이 확보되면 역시 문제는 없다.

도 1에서 도전성 산화물층(12)이 인접하는 하부 전극층의 구성 요소(13)는, 도 2에서는 다결정 실리콘층(20), 도 3에서는 확산 방지 비산화물 도전층(30), 도 4에서는 금속층(40)을 통해 확산 방지 비산화물 도전층(30)이다. 이들 층의 산화를 억제하기 위해 도전성 산화물층(12)이 하부 전극층의 구성 요소(13) (20, 30, 40)와 인접하는 층(14)을 비산화성 분위기 속에서 형성하면 된다고 생각하였다. 그리고, 어떤 막 두께까지 층(14)이 형성되면, 층을 형성하는 조건 중 산화력, 예를 들면 산소 압력이나 산화성 가스의 종류만을 변화시켜 연속하여 산화성 분위기 속에서 도전성 산화물층(12)의 나머지 층(15)을 형성하면 된다. 즉, 도전성 산화물층(12)은 인접하는 2층(14와 15)으로 구성되고, 이 2층은 동일 결정 구조 및 원소로 구성되지만 산소에 관한 조성비만이 다르고, 이 인접하는 2층 중 하부 전극층의 구성 요소(13) 즉 기판(10)측에 위치하는 층(14)이 산소 결손을 포함한다.

도전성 산화물층(14)이 비산화성 분위기 속에서 형성되므로, 인접하는 하부 전극층의 구성 요소(13) (다결정 실리콘층(20), 확산 방지 비산화물 도전층(30), 금속층(40))은 산화되지 않는다. 또한, 일단 형성된 산소 결손을 포함하는 도전성 산화물층(14)은 표준 생성 자유 에너지의 관점으로부터도 안정되므로, 하부 전극층의 구성 요소(13) (20, 30, 40)는 역시 산화되지 않는다. 또한, 도 4의 예에서 볼 수 있듯이 금속층(40)이 삽입되는 경우에서도, 산소의 확산에 따라 확산 방지 비산화물 도전층(30)이 산화될 우려가 없으므로, 그 두께를 끝없이 얇게 할 수 있다.

산소 결손을 포함하는 도전성 산화물층(14)의 형성에 이어, 산화성 분위기 속에서 도전성 산화물층(15) 및 산화물 유전체층(16)을 형성할 때에도, 도전성 산화물층(14)이 산소 결손을 포함함으로써, 그것이 산소의 확산 완충층으로서 기능한다. 즉, 하나에는 산소 결손을 포함하는 도전성 산화물층(14)의 표면이 활성인 산화성 가스에 노출되어도, 도입된 산소 결손이 산소 이온의 확산을 완충함과 동시에, 확산하는 산소 이온을 포획한다. 또 하나는, 반복되는 얘기지만, 형성된 도전성 산화물층(14) 자체가 표준 생성 자유 에너지의 관점으로부터 안정적이므로, 하부 전극층의 구성 요소(13) (20, 30, 40)에 대해 역시 산화 방지층으로서 기능한다.

따라서, 비산화성 분위기 속에서 형성되는 산소 결손이 도입된 도전성 산화물층을 포함하는 2층 도전성 산화물층은, 우수한 산화 억제막 및 산소 확산 방지층으로서 기능한다.

비산화성 분위기 속에서 형성하는 산소 결손을 포함하는 도전성 산화물층(14)의 두께에 대해서는, 하부 전극층의 구성 요소(13) (20, 30, 40)를 완전히 피복하고, 계속되는 산화성 분위기 속에서의 도전성 산화물층(15) 및 산화물 유전체층(16)의 형성에 의해 하부 전극의 구성 요소(13) (20, 30, 40)가 산화되지 않는다고 하는 관점으로부터 10nm 이상인 것이 바람직하다. 상한에 대해서는 특히 두께의 제한은 없다. 도전성 산화물층(12)의 전부가 비산화성 분위기 속에서 형성된 산소 결손을 포함하는 도전성 산화물층(14)에서 구성되어도 좋다. 단, 계속되는 산화물 유전체층(16)은 당연히 산화성 분위기 속에서 형성되므로, 산화물 유전체층(16)과 인접하는 도전성 산화물층(14)의 계면은 산화되고, 결과적으로 계면에 얇은 층(15)이 형성된다. 따라서, 역시 2층 도전성 산화물층(12)이 형성된다.

여기서, 2층 도전성 산화물층의 제조 방법에 대해 비산화성 분위기에 언급한다. 확실한 비산화성 분위기는 수소 가스 등 환원성 가스를 포함하는 분위기이다. 그러나, 그러한 환원성 분위기에서는 산화를 박막



이 형성되는 과정에서 적극적으로 박막 성장 중에 산소가 빠지기 때문에, 박막이 금속 형태까지 환원될 가능성이 높다. 보다 온화한 비산화성 분위기는, 아르곤이나 헬륨 등의 희소 가스나 질소 등의 불활성 가스 분위기, 혹은 산소( $O_2$ ), 일산화질소( $NO$ ), 이산화질소( $NO_2$ ), 오존( $O_3$ ) 등의 산화성 가스를 의도적으로 도입하지 않은 진공 상태이다. 또한, 하부 전극층의 구성 요소(13)가 확산 방지 비산화물 도전층(30)(금속층(40)의 경우에도 포함될)이고, 또한 이제부터 형성하고자 하는 도전성 산화물층이 확산 방지 비산화물 도전층(30)보다도 산소에 대한 반응성이 풍부한 경우에는, 산소, 일산화질소, 이산화질소, 오존 등의 산화성 가스를 약간 포함하는 비산화성의 분위기를 적용할 수가 있다. 즉, 종래 기술로 설명된 바와 같이 현저한 산화성 분위기에서는 확산 방지 비산화물 도전층이 산화될 가능성이 높지만, 약간의 산화성 가스밖에 포함되지 않은 분위기에서는, 확산 방지 비산화물 도전층은 산화되지 않은 상태에서 산소 결손을 포함하는 도전성 산화물층을 형성할 수 있다. 이것은, 이미 화합물을 형성하고 있는 확산 방지 비산화물 도전층과 도전성 산화물층 사이에, 산화 반응에 대한 에너지 장벽이 존재하는 것에 따른 것이다.

구체적인 비산화성 분위기는, 도전성 산화물층을 형성하는 개개의 박막 형성법에 의존한다. 우선, 희소 가스나 불활성 가스 분위기 중 및 진공 중에서 산화를 박막을 형성할 때에는, 성장 분위기로부터 일체의 산소가 공급되지 않기 때문에, 박막 형성원이 산소를 포함할 필요가 있다. 이 범주에는, 소결체 산화를 타겟을 이용하는 스퍼터링법, 소결체 산화를 타겟을 이용하는 레이저 증착법, 산화물 증발원을 이용하는 전자빔 증착법 등을 생각할 수 있다. 스퍼터링법은 방전 가스를 필요로 하므로, 순도 3N(99.9%) 이상의 아르곤(Ar) 가스를 수밀리로부터 수십 mTorr 정도 도입하면 된다. 순도가 낮은 가스는 불안정한 방전이나 이상의 석출 등 예기하지 못한 결과를 초래하므로 바람직하지 못하다. 레이저 증착법으로는 진공 속에서 산화를 박막을 형성할 수 있다. 물론, 스퍼터링법과 마찬가지로 희소 가스를 도입해도 지장은 없지만, 원리적으로는 아무런 의미는 없다. 산화를 증발원을 이용하는 전자빔 증착법이라도 진공 속에서 박막을 형성할 수가 있다. 여기서 말하는 진공이란, 산소, 일산화질소, 이산화질소, 오존 등의 산화성 가스를 의도적으로 도입하지 않고 진공 배기 기기에 의해 달성되는 상태를 나타낸다. 압력 조건은, 레이저 증착법과 전자빔 증착법의 쌍방 모두 비산화성 분위기의 점으로부터 1 μTorr 이하인 것이 바람직하다.

이어서, 산소, 일산화질소, 이산화질소, 오존 등의 산화성 가스를 약간 포함하는 비산화성의 분위기에서, 확산 방지 비산화물 도전층상(금속층을 통하는 경우를 포함함)에 산화를 박막을 형성하는 방법은, 상기 모든 박막 형성법에 적용할 수가 있다. 스퍼터링법으로는 방전 가스에 산화성 가스를 혼합시키면 되고, 레이저 증착법으로는 산화성 가스를 도입하면 된다. 진공 중에서의 전자빔 증착법으로는 증발원은 산화물에 한정되었지만, 비산화성 분위기의 경우에는 금속 증발원도 이용할 수 있다. 따라서, 가열원도 전자빔에 한정되지 않고 예프론 셀(K 셀) 등의 히터를 이용해도 좋다. 압력에 대해서는, 스퍼터링법, 레이저 증착법, 전자빔 및 히터를 이용하는 증착법 전부에, 비산화성 분위기의 관점으로부터 도입하는 산화성 가스의 전압 혹은 분압이 10 μTorr 이하인 것이 바람직하다.

이상의 생각을 바탕으로, 도전성 산화물 중으로부터, (a) 실온에서의 저항률이 0.01 Ω·cm 이하, (b) 비산화성 분위기, 전형적인 조건으로서 산소 압력 1 μTorr 또는 700°C에서 안정적이라는 조건에 적합한 도전성 산화물을, 수많은 도전성 산화물이 알려져 있는 루틸 구조, 페로브스카이트 구조,  $ReO_3$  구조 등에서 조사하여 이하의 결과를 얻었다.

우선, 위의 조건 (b)를 만족하는 관점에서는, 도전성 산화물을 구성하는 중심 양 이온이 다치 이온인 것은 바람직하지 않다. 따라서, 우선 Cr, Mn, Fe, Co, Ni, Cu, V를 포함하는 도전성 산화물은 제외된다.

루틸 구조를 취하는 도전성 산화물로서는,  $RuO_2$ ,  $IrO_2$ 의 두개를 들 수 있다.

페로브스카이트 구조를 취하는 도전성 산화물로서는, Ru (루테튬)을 중심 원소로 하는  $CaRuO_3$  및  $SrRuO_3$ , Ti(티타늄)을 중심 원소로 하는  $SrTiO_3$ 의 Sr의 일부를 0.5중량 % 이상 또한 4.0중량 % 이하의 량의 La로 치환한(La, Sr)  $TiO_3$ 의 세개를 들 수 있다.

$ReO_3$  구조를 취하는 도전성 산화물로서는,  $ReO_3$ 을 들 수 있다.

비산화성 분위기 속에서 도전성 산화물을 형성할 때에는, 산소 결손이 도입되는 것을 위에서 진술하였다. 열평형 상태에서는 정결함으로는 0.1% 이하의 약간의 산소 결손밖에 도입되지 않지만, 박막 형성은 비평형 상태에서 진행되는 경우가 많으므로 열평형 상태와는 달리, 과잉의 산소 결손이 동결되기 쉽다. 그러나, 박막 고유의 산소 결손 농도를 측정하는 것은 현시점의 분석 기법이라도 곤란하게 하므로, 엄밀한 수치로 허용되는 산소 결손 농도를 정의하는 것은 사실상 할 수 없다. 한편, X선 회절계에 의한 비산화성 분위기에서 형성한 박막의 구조 해석에서는, 결정 구조가 확인될과 동시에 현저한 불순물은 확인되지 않고, ICPS(유도 결합 플라즈마 분광법)에 의한 조성 분석에서는 양이온의 화학 양론 조성이 확인되었다. 이 때, 저항률은 동일한 박막을 산화성 분위기에서 형성하는 경우보다도 최대로 일 자릿수 가까이 증대하였다. 이것은, 산소 결손이 도입되는 것을 시사한다.

그래서, 비산화성 분위기에서 형성된 박막에 대해 허용되는 산소 결손의 농도를 목적의 구조가 안정적으로 존재할 수 있다고 하는 조건으로 정의한다. 구체적으로는 이하와 같다. 루틸 구조에서는, Ru 및 Ir의 전이 원소를 M으로 표현한 산소 결손을 포함하는 화학식  $MO_{2-x}$ 에서, 산소 결손량, x가 0보다도 크고 또한 상기된 루틸 구조를 안정적으로 유지할 수 있는 값보다도 작다고 정의한다. 페로브스카이트 구조에서는, Ru 및 Ti의 전이 원소를 M으로, Ca, Sr 및 La 원소를 A로 표현한 산소 결손을 포함하는 화학식  $AMO_{3-x}$ 에서, 산소 결손량 x가 0보다도 크고, 또한 상기된 페로브스카이트 구조를 안정적으로 유지할 수 있는 값(상한치)보다도 작다고 정의한다. 이 때, 산소 결손의 도입에 의해 양이온 사이에 상호 교환될 격자 결손이 도입되어 격자 상수가 표준 벌크치보다도 증대하는 경우라도, 그 기본 골격은 페로브스카이트 구조의 범주에 있다고 간주한다.  $ReO_3$  구조에서는, 산소 결손을 포함하는 화학식  $ReO_{3-x}$ 에서, 산소 결손량 x가 0보다도 크고, 또한 상기된  $ReO_3$  구조를 안정적으로 유지할 수 있는 값보다도 작다고 정의한다.

산소 결손의 도입은, 도전성 산화물의 저항률을 최대로 일 자릿수 가까이 증대시키지만, 산화물을 전극으



로서 이용하는 데 충분히 낮은 저항을 유지하였다. 예를 들면,  $\text{SrRuO}_3$ 에서는, 저항율은 일 자릿수 가파 이 증대했지만, 절대치로서 수  $\text{m}\Omega \cdot \text{cm}$ 의 작은 저항율을 얻을 수 있었다.  $\text{IrO}_2$ ,  $\text{RuO}_2$ ,  $\text{ReO}_2$ 에서는, 저항율의 증대는 최대로 2배 정도로 작았다. 즉, 위에서 예시한 도전성 산화물을 비산화성 분위기에서 형성해도, 전극층에 적용하는 데는 충분한 저항율이 유지되는 것이 확인되었다.

비산화성 분위기 속에서 도전성 산화물을 형성할 때에는, 분해 생성물이 공존할 가능성을 위에서 진술하였다.  $\text{RuO}_2$  및  $\text{IrO}_2$ 의 루틸 구조, 및  $\text{ReO}_2$ 은 한 종류의 천이 원소만을 포함하는 단원소 산화물이므로, 분해하여 다른 화합물이 형성될 우려는 없다. 한편,  $\text{AMO}_3$ 으로 표시되는 페로브스카이트 구조는 알칼리토류 원소를 주체로 하는 원소 A와 천이 원소로 이루어지는 원소 B으로 구성되는 복합화물이므로, 비산화성 분위기 또한 700°C 정도의 고온에서는 분해 생성물이 공존할 가능성이 크다. 실제로, 알칼리토류로서 Ca를 포함할 때에는 분해 생성물로서 수 % 정도의 CaO의 존재가 X선 회절계로 확인되었다. Sr를 포함하는 경우에도, 보다 강한 비산화성 분위기, 즉 보다 높은 온도 또는 보다 낮은 압력에서는 SrO가 분해 생성물로서 관찰되었다. 그러나, 어느 경우에도 실온에서의 저항율에의 영향은 거의 인정되지 않았다. 이것은 도전성 산화물 중에 저항이 높은 분해 생성물이 분산하는 형태로 공존하고 있고, 전류는 저항의 보다 낮은 목적의 도전성 산화물 속을 전도하기 때문이라고 생각되어진다.

단, 온도를 실온보다 저하시켰을 때에는, 분해 생성물이 존재하지 않은 경우에는 온도 저하와 함께 저항율이 저하하는 급속적인 전도가 관찰되었지만, 분해 생성물이 공존하는 경우에는 저항율이 증대하는 전도가 관찰되었다. 이것에는, 결정 입계 등에 마이크로에 편석하는 분해 생성물의 전도 특성이 관여한다고 생각되어진다.

어쨌든, 실온 혹은 실온 이상의 온도에서는, 분해 생성물의 공존에 따른 저항율의 증대는, 도전성 산화물층으로서 혹은 도전성 산화물층을 이용하는 반도체 장치로서, 허용되는 범위였다. 즉, 페로브스카이트 구조를 취하는 도전성 산화물은,  $\text{CaRuO}_3$ ,  $\text{SrRuO}_3$ ,  $\text{SrTiO}_3$ 의 Sr의 일부를 0.5중량 %이상 또는 4.0중량 %이하의 양의 La로 치환한 (La, Sr) $\text{TiO}_3$ 과, 상기 산화물을 구성하는 알칼리토류 원소의 산화물, CaO 혹은 SrO와의 혼합상이라도 좋다.

여기까지, 본 발명의 제1 목적을 달성하기 위한 수단, 산화물 유전체를 캐패시터 절연막에 이용하여 또한 2층의 도전성 산화물층을 전극 구성 요소로서 이용하는 반도체 장치의 특징에 대해 진술하고, 본 발명의 제2 목적을 달성하기 위한 수단, 그와 같은 반도체 장치를 제조하는 방법 중, 2층 도전성 산화물층의 제조 방법에 대해 진술하고, 본 발명의 제3 목적을 달성하기 위한 수단, 산소의 확산 및 산화 반응을 억제할 수 있는 2층 도전성 산화물층의 특징에 대해 진술하고, 본 발명의 제4 목적을 달성하기 위한 수단, 2층 도전성 산화물층의 제조 방법에 대해 함께 진술하였다.

마지막으로, 본 발명의 제2 목적을 달성하기 위한 수단, 그와 같은 반도체 장치를 제조하는 방법에 대해 진술한다. 본 발명의 반도체 장치의 제조 방법은, 도 1로부터 도 4를 이용하여 그 구조를 설명된 바와 같이 다결정 실리콘, 확산 방지 비산화물 도전층, 금속층, 및 2층 도전성 산화물층으로 구성되는 하부 전극층을 기판 상에 형성하는 공정을 포함한다. 통상, 다결정 실리콘층은 화학 기상 성장법에 따라, 확산 방지 비산화물 도전층은 스퍼터링법이나 증착법이나 CVD 법에 따라, 금속층은 스퍼터링법에 따라 형성되지만, 여기서 예로 든 형성법은 일례로서 특별히 한정되는 것은 아니다. 2층 도전성 산화물층의 형성법에 대해서는, 상기에서 상세히 설명한 바와 같다. 또한, 하부 전극층을 구성하는 각 층의 구체적인 화합물에 대해서도, 상기된 바에서 상세히 설명한 바와 같다.

이 하부 전극층 위에 산화물 유전체층을 형성하고, 또한 그 위에 상부 전극층을 형성함으로써, 이들 상부 및 하부 전극층에 산화물 유전체층이 끼워진 구조의 산화물 유전체 캐패시터가 형성된다. 산화물 유전체층을 구성하는 구체적인 화합물은, 상기된 바에서 상세히 설명한 바와 같다. 산화물 유전체층은, 알루미나를 원료로서 이용하는 졸겔법, 증착법, 화학 기상 성장법, 스퍼터링법 등에 따라 형성 가능하고, 그 형성법은 특별히 한정되지 않는다. 상부 전극층은, 유전체 캐패시터의 전류-전압 특성의 대칭성 및 강유전체 캐패시터의 복귀 히스테리시스 곡선의 대칭성을 중히 여기는 입장에서, 하부 전극층에 이용된 것과 동일한 도전성 산화물인 것이 바람직하다. 그러나, 하부 전극층과는 다른 도전성 산화물, 혹은 백금, 루테튬이나 이리듐으로 대표되는 귀금속이 상부 전극층으로서 이용되어도, 반도체 장치의 기능으로는 아무런 문제는 없다. 상부 전극층으로서 이용되는 도전성 산화물의 형성은, 스퍼터링법, 낙착법, 졸겔법, 화학 기상 성장법 등 여러 가지의 박막 형성법에 따라 가능하고, 특별히 한정되지 않는다. 상부 전극층으로서 귀금속이 이용될 때도, 그 형성법은 특별히 한정되지 않는다.

산화물 유전체 캐패시터, 즉 하부 전극층을 형성하기 앞서, 기판 상에는 MOS 트랜지스터의 1부가 형성된다. 이 MOS 트랜지스터의 소스 영역 또는 드레인 영역과 하부 전극층은, MOS 트랜지스터를 형성한 반도체 기판을 피복하는 절연층 중에 천공된 컨택트 홀 내에 매립된 도전성 물질로 통해, 전기적으로 접속된다. 이 컨택트 홀에 매립되는 도전성 물질로는, 화학 기상 성장법으로 형성된 다결정 실리콘이 이용되는 경우가 많지만, 역시 형성법 및 매립 물질은 한정되는 것이 아니다.

## 2. 도전성 재료 선정 지침 2

이 지침은 특히(종래 기술 7) 구성에 기초하여, 본 발명의 제1 목적 및 본 발명의 제2 목적에서 달성하는 것을 각각 배려한 것이다.

상기 제1 목적을 달성하기 위해서, 본 발명의 반도체 장치는 기판 상에 질화 티타늄 알루미늄층을 포함하는 하부 전극층과, 그 위에 설치된 산화물 유전체층과, 또한 그 위에 설치된 상부 전극층으로 이루어지는 산화물 유전체 캐패시터가 배치된다. 하부 전극층의 구조로서 2개의 단면 모식 구조를 도 5와 도 6에 제공한다. 도면은 반도체 장치의 산화물 유전체 캐패시터의 상세 구조를 나타낸 것은 아니고 캐패시터를 구성하는 각 층의 적층을 알기 쉽게 나타낸 것이다.

도 5에서는 하부 전극층(11)은 다결정 실리콘층(20) 상에 적층한 질화 티타늄 알루미늄층(50)과 또한 그 위에 적층하는 금속층(40)으로 구성된다. 여기에서, 도전성의 다결정 실리콘층(20)은 상기 개념으로 설

명한 제1 영역에 대응한다. 질화 티타늄 알루미늄층(50)은 상기 개념으로 설명한 제2 영역에 대응한다. 금속층(40)은 상기 개념으로 설명한 제3 영역에 대응한다. 도 6에서는 도 5에 도시한 하부 전극층(11)의 구성 요소 외에 또한 도전성 산화물층(60)이 적층된다. 이 도전성 산화물층(60)은 상기 개념에서 설명한 제3 영역과 제4 영역 간에 설치된 영역에 대응한다.

또한, 하부 전극층(11)은 기판 상에 형성된 반도체 소자의 원하는 영역 예를 들면, MOS 트랜지스터의 소스 또는 드레인 영역과 전기적으로 접속된다.

확산 및 산화 반응을 방지하는 질화 티타늄 알루미늄층(50) 기능에 대해서 설명한다. 종래 기술에서 설명한 바와 같이, 지금까지에서 검토되어 온 확산 및 산화 방지층으로서의 질화 티타늄은 산소에 대한 내반응성이 약하고 이것을 보충하기 위해서 더욱 백금 등의 금속층을 개재시키는 것이 필수가 되어 왔다. 더구나, 백금 층을 일체 확산하는 산소의 확산 시간을 확보하기 위해서 200nm 가까운 두께의 백금층이 필요해졌다. 한편으로, 높은 도전성을 나타내며 또한 어느 정도의 산화 방지층으로서 기능하는 질화 티타늄으로 버리기 어려운 매력에 갖는다. 그래서, 질화 티타늄에 제2 금속 원소를 첨가함으로써 내산화성을 향상시킬 가능성을 검토한 결과, 알루미늄을 첨가한 질화 티타늄에서 현저한 내산화성이 발견되었다.

질화물이 산화되어 산화물에 변화하는 반응은 산소가 질화물 중의 질소와 치환하는 반응에 따른다고 생각되고 있다. 즉, 정성적으로는 질화물과 산화물 간의 에너지 장벽의 높이가 치환 반응을 지배하고 있다고 생각하면 좋다. 본 발명에서 얻어진 질화 티타늄 알루미늄에서 산소에 대한 내반응성이 향상하는 것은, 이 에너지 장벽을 높게 하는 효과에 따른다고 생각된다. 그 화학적 근거에 상관없이 질화 티타늄의 티타늄의 일부를 알루미늄으로 치환함으로써, 산화 방지층으로서 충분히 기능할 수 있는 것이 발견되었다. 이 내산화성의 점에서는 질화 티타늄 알루미늄의 화학식을  $(Ti_{1-x}Al_x)_N$ 에서 나타낼 때  $x$ 는 0.2 이상인 것이 바람직하며,  $y$ 는 0.4 이상인 것이 바람직하다.  $x$ 가 0.2보다도 작을 때에는 내산화성의 향상이 나타나지 않는다.  $y$ 가 0.4 보다도 작으면  $x$ 선 회절 측정에서 산화에 의한  $TiO_2$ 가 관찰되었다.

질화 알루미늄은 고저항체이므로, 티타늄의 일부를 알루미늄 치환함으로써 저항율은 증대한다. 반도체 장치의 전극으로서 이용할 수 있는 관점으로부터 저항율은  $10m\Omega \cdot cm$  이하인 것이 바람직하다. 따라서, 화학식을  $(Ti_{1-x}Al_x)_N$ 에서 나타낼 때,  $x$ 는 0.5 이하인 것이 바람직하며,  $y$ 는 0.4 이상 0.6 이하인 것이 바람직하다. 또한,  $x$ 가 0.6 이하이면 전극으로서의 불균일이 생겨서 미세한 메모리 셀을 구축할 수 없게 된다. 이 점에서는,  $x$ 는 0.6 이하인 것이 바람직하며,  $y$ 는 0.2 이상 0.6 이하인 것이 바람직하다.

이상을 통합하면, 화학식,  $(Ti_{1-x}Al_x)_N$ 에서 나타내는 질화 티타늄 알루미늄에서  $x$ 는 0.2 이상 0.5 이하인 것이 바람직하며,  $y$ 는 0.4 이상 0.6 이하인 것이 바람직하다.

질화 티타늄 알루미늄층에 요구되는 또 하나의 기능 즉, 확산 방지층에 대해서는 본질적으로 선구 화합물인 질화 티타늄의 구조가 견지되어 있으므로, 확산 방지 효과는 질화 티타늄과 동등하며 특히 문제는 발견되지 않았다.

도 5 및 도 6에 도시되는 질화 티타늄 알루미늄층을 피복하는 금속층(40)은 내산화성이 풍부한 귀금속군, 백금, 이리듐, 루테튬으로부터 선택된 적어도 한 종인 것이 바람직하다. 질화 티타늄을 산화 방지층으로서 이용하는 종래 구조로서는 200nm 가까운 두께의 금속층이 요구되었다. 그러나, 본 발명의 질화 티타늄 알루미늄을 이용하는 경우에는 내산화성의 향상이 도모되고 있으므로, 금속층의 두께는 질화 티타늄 알루미늄 표면을 충분히 피복할 수 있는 두께 예를 들면, 30nm이면 충분하다.

도 5에 도시하는 구조로서는 금속층(40) 상에 산화물 유전체층(16)이 형성되지만, 도 6에 도시한 바와 같이 산화물 유전체층(16)과 금속층(40) 간에 도전성의 산화물층(60)이 하부 전극의 구성 요소로서 삽입되어도 좋다. 도전성 산화물층을 산화성 분위기에서 형성할 때의 조건은 통상, 산화물 유전체층의 형성 조건과 동등하므로, 질화 티타늄 알루미늄층에 요구되는 내산화성도 또한 동등하다고 생각하면 좋다. 도전성 산화물층으로서 금속층에 이용되는 것과 동일하며 귀금속군의 원소를 포함함으로써 금속층과의 계면에서의 접합성을 양호하게 한다고 하는 관점에서부터  $IrO_2$ ,  $RuO_2$ ,  $SrRuO_3$ ,  $ReO_3$ 로부터 선택된 적어도 한 종인 것이 바람직하다.

산화물 유전체층(16)으로서 적합한 재료에 대해서 진술한다. 여기에서, 산화물 유전체 재료가 특히 한정되는 이유는 없다. 그러나, 몇 개의 가지 재료를 예를 들어 둔다. 티타늄을 중심 원소로 하는 산화물 유전체로서는 티타늄의 일부 혹은 전부를 지르코늄으로 치환한 티탄산지르코산염, 이 연의 일부 혹은 전부를 바륨 치환하여 얻어지는 티탄산지르코산 바륨염, 알칼리토류 원소만을 포함하는 티탄산바륨 스트론튬 등이 전형적이다. 층형 구조로 이루어지는 비스무트 유전체로서는  $Bi_2Ti_2O_{10}$ ,  $SrBi_2Ta_2O_{10}$  등의 비스무트 층형 유전체가 전형적이다. 다만, 여기에서 열거한 예에 한하지 않고, 이미 널리 알려진 바와 같이, 산화물 유전체, 산화물 강유전체 및 금속 발견될지도 모르는 신규인 산화물 유전체, 산화물 강유전체 등이 산화물 유전체층으로서 이용될 수 있다.

상부 전극층(17)은 도전성 물질이면, 금속 혹은 산화물에 얻어지지 않는다. 금속이면 하부 전극층 중의 금속층(40)의 설명에서 상기에 열거한 일련의 귀금속이 이용 가능하다. 산화물이면 하부 전극층 중의 도전성 산화물층(60)의 설명에서 상기에 열거한 일련의 산화물이 이용 가능하다. 단지, 상부 전극층(17)의 재료는 한정되는 것은 아니다.

다음에, 상기 제2 목적을 달성하기 위해서 본 발명의 반도체 장치의 제조 방법은, 스퍼터링을 이용하여 질화성 분위기 중에서 질화 티타늄 알루미늄 확산 및 산화 방지층을 포함하는 하부 전극층을 기판 상에 형성하는 공정을 갖는다. 스퍼터링 타겟으로서 티타늄-알루미늄 합금으로 이루어지는 금속 타겟, 티타늄 타겟 상에 알루미늄 금속 혹은 질화 알루미늄을 나란히 한 복합 타겟, 알루미늄 타겟 상에 티타늄 금속 혹은 질화 티타늄을 나란히 한 복합 타겟, 알루미늄 타겟과 티타늄 타겟을 각각 별도로 배치하여 동시에 스퍼터링하는 듀얼 타겟, 질화 티타늄 알루미늄으로 이루어지는 질화물 타겟, 질화 티타늄 타겟 상에 알루미늄 금속 혹은 질화 알루미늄을 나란히 한 복합 타겟, 질화 알루미늄 타겟 상에 티타늄 금속 혹은

질화 티타늄을 나란히 한 복합 타겟, 질화 알루미늄 타겟과 질화 티타늄 타겟을 각각 별도로 배치하여 동시에 스퍼터링하는 듀얼 타겟 등 여러 가지의 타겟이 이용 가능하다. 스퍼터링 방전으로서 적류 및 교류 중 어느 하나라도 좋지만, 질화 알루미늄은 저항이 큰 것에서 이것을 타겟으로서 이용하는 경우에는 RF 방전이 필요하다.

질화 티타늄 알루미늄 확산 및 산화 방지층을 스퍼터링법을 이용하여 형성할 때의 분위기는, 적어도 방전 가스와 질소 가스를 포함할 필요가 있다. 방전 가스로서는 화가스를 이용하고, 통상 경제성을 고려하여 아르곤 가스를 이용한다. 포함되는 질소 가스는 충분한 질화 반응과 높은 작업 처리량(빠른 성막 속도)의 점에서, 10 내지 90vol% 포함된다. 또한, 장치 및 환경에 제약이 없으면 질화를 촉진함과 동시에 산화를 억제하는 목적에서 수% 정도의 암모니아 가스가 포함되어도 좋다.

질화 티타늄 알루미늄 확산 및 산화 방지층을 스퍼터링법을 이용하여 형성하는 온도는 실온 이상 600°C 이하인 것이 바람직하다. 물론, 실온이라 하더라도 시료의 온도를 실온으로 유지한다고 하는 의미가 아닌 특허, 시료에 대해서 냉각도 가열도 하지 않는다고 하는 의미이며, 스퍼터링 중에 시료가 노출되는 자연 승온은 허용된다. 시료를 600°C를 넘어서 가열하여 형성하면, X선 회절 측정에 의해 질화 알루미늄(AlN)이 분리 생성하는 것이 관찰되었다.

또한, 상기 제2 목적을 달성하기 위해서, 본 발명의 반도체 장치의 제조 방법은 질화 티타늄 알루미늄 확산 및 산화 방지층 상에 금속층 혹은 금속층과 도전성 산화물층을 순차 적층하여 하부 전극층을 완성시키는 공정을 포함한다. 이 하부 전극층 상에 산화물 유전체층을 형성하고 더욱 상부 전극층을 적층하여 상부 및 하부 전극층에 산화물 유전체층이 끼워진 구조를 갖는 산화물 유전체 캐패시터가 형성된다. 여기에서, 금속층은 스퍼터링법, 증착법 등 어느 방법에 의해서 형성되어도 좋다. 도전성 산화물층 및 산화물 유전체층에 대해서도 스퍼터링법, 반응성 증착법, 레이저 박리, 화학 기상 성장법, 졸겔법 등 그 형성 방법은 특히 제약받지 않는다. 상부 전극층도 또 지금 여기에서 열거하고자 하는 여극담의 방법에 따라 형성되어도 좋다.

산화물 유전체 캐패시터 즉 하부 전극층을 형성하는 데에 앞서서, 기판 상에는 MOS 트랜지스터의 1부가 형성된다. 이 MOS 트랜지스터의 소스 영역 또는 드레인 영역과 하부 전극층과는, MOS 트랜지스터를 형성한 반도체 기판을 피복하는 절연층 중에 전공된 컨택트 홀 내에 패딩된 도전성 물질을 통해 전기적으로 접속된다. 이 컨택트 홀에 패딩되는 도전성 물질로서는 화학 기상 성장법에서 형성된 다결정 실리콘이 이용되는 경우가 많지만, 역시 형성법 및 패딩 물질은 한정되는 것은 아니다.

### 3. 본 발명에 의해 실현할 수 있는 반도체 장치의 특징

전술한 2개의 도전성 재료 지침에 기초하는 본 발명의 실시예에 의해 실현할 수 있는 반도체 장치는 모두 다음과 같은 특징을 갖는다.

그 특징이란, 도전성을 갖는 반도체 재료로 이루어지는 제1 영역(반도체 기판 또는 반도체 박막 등)과, 제1 영역에 접합되며 또한 제1 도전성 재료로 이루어지는 제2 영역과, 제2 영역에 접합되며 또한 제2 도전성 재료로 이루어지는 제3 영역과, 제3 영역에 접합되며 또한 산화물의 유전체 재료로 이루어지는 제4 영역과, 제4 영역에 접합되며 또한 도전성 재료로 이루어지는 제5 영역을 포함하는 반도체 장치에서 제1 영역의 저항률의 평균치는 이것을 구성하는 반도체 재료의 저항률과, 제2 영역의 저항률의 평균치는 이것을 구성하는 제1 도전성 재료의 저항률과, 각각 대략 같은 것이다. 이 특징은, 제1 영역 내지 제3 영역까지의 전기 저항이 각각의 영역을 형성하는 반도체 재료 또는 도전성 재료의 저항률과 각 영역에서의 전류 경로의 길이(이들의 영역이 수직으로 적층되어 있는 경우이면 각 영역의 총 두께)에 의해 일률적으로 결정되는 것이기도 하다. 즉, 본 발명의 실시예에 의해 종래 기술로 문제가 되고 있는 제1 영역 또는 제2 영역에서의 고저항 물질의 형성을 대략 회피할 수 있기 때문에, 이들의 영역에서의 전기적인 저항치의 상승을 억제하며, 각 영역의 저항률은 물론 제1 내지 제3 영역에 이르는 전류 경로에서의 평균적인 저항률을 0.01  $\Omega \cdot \text{cm}$  이하로 설정할 수 있다.

이 때문에, 본 발명에 따르면 산화물 유전체나 도전성 산화물을 형성할 때에 이것과 인접하는 다결정 실리콘층 및 절화물로 이루어지는 확산 방지 비산화물 도전층을 산화하는 일 없이 메모리 셀을 형성할 수 있다. 이것에 의해서, 전극의 계면 저항이나 접촉 저항을 저감하는 것이 가능해지며, 고집적화에 알맞은 미세한 메모리 셀을 갖는 반도체 장치를 얻을 수 있다. 또한, 200nm 이상의 두께의 백금 등의 금속층을 내산화 방지의 목적으로 형성할 필요는 없으며 또한 하부 전극의 두께를 얇게 할 수 있음으로서 캐패시터 전극의 두께나 애스펙트비를 저감하는 것이 가능하므로, 서브 마이크론 영역의 미세 가공 예를 들면, 기가비트급의 리소그래피 기술을 이용하여 형성되는 것과 같은 미세한 메모리 셀을 갖는 반도체 장치를 얻을 수 있게 된다.

### 도면의 간단한 설명

- 도 1은 2층 도전성 산화물층을 하부 전극층에 포함하는 산화물 유전체 캐패시터를 나타내는 도면.
- 도 2는 2층 도전성 산화물층을 다결정 실리콘층 상에 형성하는 산화물 유전체 캐패시터를 나타내는 도면.
- 도 3은 2층 도전성 산화물층을 확산 방지 비산화물 도전층 상에 형성하는 산화물 유전체 캐패시터를 나타내는 도면.
- 도 4는 2층 도전성 산화물층을 금속층을 통해 확산 방지 비산화물 도전층 상에 형성하는 산화물 유전체 캐패시터를 나타내는 도면.
- 도 5는 금속층 상에 산화물 유전체층을 적층하는 질화 티타늄 알루미늄층을 갖는 산화물 유전체 캐패시터를 나타내는 도면.
- 도 6은 도전성 산화물층 상에 산화물 유전체층을 적층하는 질화 티타늄 알루미늄층을 갖는 산화물 유전체 캐패시터를 나타내는 도면.

도 7은 2층 도전성 산화물층을 다결정 실리콘층 상에 형성하는 산화물 유전체 캐패시터의 전기 특성을 나타내는 도면. 도 7의 (a)는 전극의 저항, 도 7의 (b)는 분극 히스테리시스 곡선을 나타내는 도면.

도 8은 2층 도전성 산화물층을 절화물층 상에 형성하는 산화물 유전체 캐패시터의 전기 특성을 나타내는 도면. 도 8의 (a)는 TiN층을 포함하는 전극의 저항, 도 8의 (b)는 TaN층을 포함하는 전극의 저항, 도 8의 (c)는 TiN층을 포함하는 캐패시터의 분극 히스테리시스 곡선을 나타내는 도면.

도 9는 2층 도전성 산화물층을 금속층을 통해 TiN층 상에 형성하는 산화물 유전체 캐패시터의 분극 히스테리시스 곡선을 나타내는 도면.

도 10은 절화 티타늄 알루미늄의 조성 범위를 나타내는 도면. 도 10의 (a)는  $(Ti_{1-x}Al_x)_n$ 에서의 x의 허용량, 도 10의 (b)는  $(Ti_{0.6}Al_{0.4})_{1-n}$ 에서의 y의 허용량을 나타내는 도면.

도 11은 절화 티타늄 알루미늄층을 갖는 산화물 유전체 캐패시터의 분극 히스테리시스 곡선을 나타내는 도면. 도 11a는 금속층 상에 산화물 유전체층을 적층하는 경우, 도 11b는 도전성 산화물층 상에 산화물 유전체층을 적층하는 경우를 나타내는 도면.

도 12는 본 발명의 일 발명의 실시예의 반도체 장치의 제조 공정도를 나타내는 도면.

도 13은 본 발명의 일 발명의 실시예의 반도체 장치의 제조 공정도를 나타내는 도면.

도 14는 본 발명의 일 발명의 실시예의 반도체 장치의 제조 공정도를 나타내는 도면.

도 15는 본 발명의 일 발명의 실시예의 반도체 장치의 평활화까지의 공정도를 나타내는 도면.

도 16은 2층 도전성 산화물층을 다결정 실리콘층 상에 형성하는 반도체 장치의 제조 공정도를 나타내는 도면.

도 17은 2층 도전성 산화물층을 확산 방지 비산화물 도전층 상에 형성하는 반도체 장치의 제조 공정도를 나타내는 도면.

도 18은 2층 도전성 산화물층을 금속층을 통해 확산 방지 비산화물 도전층 상에 형성하는 반도체 장치의 제조 공정도를 나타내는 도면.

도 19는 금속층 상에 산화물 유전체층을 형성하는 절화 티타늄 알루미늄층을 갖는 반도체 장치의 제조 공정도를 나타내는 도면.

도 20은 도전성 산화물층 상에 산화물 유전체층을 형성하는 절화 티타늄 알루미늄층을 갖는 반도체 장치의 제조 공정도를 나타내는 도면. 본 발명의 실시예 8의 실리콘 웨이퍼의 스크라이브 영역의 단면 구조를 나타낸 도면.

#### <발명을 실시하기 위한 최량의 형태>

본 발명의 최량의 실시예를 산화물 유전체를 이용한 캐패시터의 전극 형성의 관점과, 이 캐패시터를 실제의 반도체 장치에 형성하는 관점으로 분리하고 또한 발명의 실시예마다 나누어 설명한다. 전자의 관점에 기초하는 설명은 또한 전술한 도전성 재료의 선정 지침 별도로 기재한다.

#### § 1. 산화물 유전체 캐패시터의 전극 형성

##### 1-1 도전성 재료 선정 지침 1

반도체 장치에 적합한 산화물 유전체 캐패시터의 전극에서 반도체층과 유전체층 간에 설치되는 2개의 도전성 재료층에 2층 도전성 산화물층을 선정하는 경우에 대해서 이하의 발명의 실시예 1~30에 의해 관련 도면을 참조하여 설명한다.

##### <발명의 실시예 1>

본 발명의 실시예는 도 2에 도시한 2층 도전성 산화물층(12) 내의 산소 결손을 포함하는 도전성 산화물층(14)이 다결정 실리콘층(20) 상에 직접 형성되는 하부 전극층(11)의 구조에 대해서 하부 전극층의 저항 및 산화물 강유전체 캐패시터의 분극 히스테리시스 곡선을 측정한 예이다.

우선, 15mm각의 도전성 실리콘 기판(10) 상에 화학 기상 성장법을 이용하여 인을 도핑한 두께 150nm의 비정질 실리콘막을 형성하고, 이것을 열처리하여 도전성의 다결정 실리콘층(20)을 형성하였다. 이 기판 상에 2종류의 시료를 형성하였다. 하나는, 2mm각의 메탈 마스크를 통해 도전성 산화물층(14, 15)을 형성한 후, 전자선 리소그래피에 의해 100μm각에 가공한 시료에서 전극 저항의 측정에 이것을 이용하였다. 또 하나는 도전성 산화물층(14, 15)을 기판 표면 전체에 형성한 후, 산화물 유전체층(16)과 상부 전극층(17)을 4mm각, 직경 2mm의 메탈 마스크를 통해 피라미드형으로 적층하고 또한 상부 전극층(17)을 포토마스크를 이용하여 미온 밀링에 의해 10μm각에 가공한 캐패시터 특성 측정용의 시료이다.

도전성 산화물층(14, 15)으로서,  $IrO_2$ ,  $RuO_2$ ,  $SrRuO_4$ , La를 4중량% 첨가한  $SrTiO_3$ ,  $ReO_3$ 를 각각 이용하였다(여기서는, 화합물을 명확하게 할 목적으로 화학식을 이용하므로, 산소 결손량의 기술은 편의적으로 생략한다). 각 산화물층의 형성법을 이하에 진술한다. 단지, 여기서 설명하는 각 산화물의 제작법은 일 예이며, 서로 제작법을 교체하여도 문제는 없다.

$IrO_2$ 만은 전자빔 증착법에 의해 형성하였다. 우선,  $IrO_2$ 의 산화물 분말을 압력 성형기를 이용하여 직경 12mm 두께 10mm의 원통 형태에 성형한 후, 산소 기류 중 1100°C에서 2시간 소성하고, 이것을 전자빔 증착 원으로서 이용하였다. 이하의 성막 조건, 기판 가열 히터 온도 600°C, 성막 속도 2nm/분, 압력 0.1μTorr 하에서 산소 결손을 포함하는  $IrO_2$ 층을 5.내지 50nm 형성한 후, 산소를 70μTorr의 압력까지 도입함과 동시에 기판 가열 히터 온도를 580°C로 설정하여 50nm의  $IrO_2$ 층을 적층하고, 2층 도전성 산화물

층(12)을 형성하였다.

$\text{IrO}_2$  이외의 도전성 산화물층은 상기 양 이온 조성으로 이루어지는 산화물 소결체 타겟을 이용하는 RF 마그네트론 스퍼터링법을 이용하여 형성하였다. 이하의 성막 조건, 기판 가열 히터 온도  $600^\circ\text{C}$ , 입사 전력  $1.5\text{W}/\text{cm}^2$ , 성막 속도  $3\text{nm}/\text{분}$ , 순도 3N의 방전 Ar 가스 압력 3mTorr 하에서 막 두께 5 내지 50nm의 산소 결손을 포함하는 도전성 산화물층을 형성하였다. 계속해서, 산소를 가스 유량비  $\text{Ar}/\text{O}_2=9/1$  에서 도입함과 동시에 기판 가열 히터 온도를  $580^\circ\text{C}$ 로 설정하여 50nm의 도전성 산화물층을 형성함으로써 2층 도전성 산화물층(12)을 형성하였다.

산화물 유전체층(16)으로서는 비스무트계층형 강유전체 중 하나, 티탄비스무트( $\text{Bi}_2\text{TiO}_5$ )를 이용하여, RF 마그네트론 스퍼터링법에 의해 이것을 형성하였다. 타겟에는 위의 양 이온 조성에서 나타내는 소결체를 이용하였다. 성막 조건은 기판 가열 히터 온도  $600^\circ\text{C}$ , 방전 가스/ 산소 가스 압력비  $\text{Ar}/\text{O}_2=9/1$ , 전압력 5mTorr, 입사 전력  $1.5\text{W}/\text{cm}^2$ , 성막 속도  $5\text{nm}/\text{분}$  막 두께 200nm로 하였다. 단지, 산화물 유전체층의 종류나 제법은 본질적인 캐패시터의 물리 특성에만 영향을 주고 2층 도전성 산화물 막막으로의 영향은 보이지 않았다. 상부 전극층(17)에는 전자빔 증착법을 이용하여 실온에서 증착한 두께 100nm의 금을 이용하였다.

도 7의 (a)에 하부 전극층 전체의 저항(종축)을 비산화성 분위기 중에서 형성한 산소 결손을 포함하는 도전성 산화물층의 두께(횡축)의 함수로서 나타내었다. 저항은 산화성 분위기 중에서 형성한 도전성 산화물층과 도전성 실리콘 기판 간의 측정치이다. 어느 쪽의 도전성 산화물 전극이라도 산소 결손층의 두께가 5nm일 때에는 전극 저항은 현저하게 크므로, 다결정 실리콘이 산화되어 고정화하고 있는 것은 분명하다. 두께가 5nm 내지 10nm에 걸쳐서 저항은 급격하게 감소하고, 10nm 이상으로는 저항은 거의 일정해진다. 다결정 실리콘 표면의 피복율이 증대함과 동시에 다결정 실리콘의 산화가 억제되는 효과가 명백하다. 전극 저항이 산화물 전극의 종류에 의존하는 것은 도전성 산화물 자체의 저항률의 차이가 반영되어 있기 때문이다.

도전성 산화물 재료 단체의 저항률은 별도의 단일막에서 측정한 결과로는  $\text{IrO}_2$ ,  $\text{RuO}_2$ ,  $\text{ReO}_4$ 에 관해서는 수십  $\mu\Omega/\text{cm}$  정도, 산소 결손 상태에도 그 2 내지 3배 정도의 낮은 저항률이 얻어졌다.  $\text{SrRuO}_3$ 에 관해서는 산소 결손의 도입에 의해 200  $\mu\Omega/\text{cm}$  내지 수  $\text{m}\Omega/\text{cm}$ 까지의 증대에 멈추었다. La를 4중량% 첨가한  $\text{SrTiO}_3$ 로서는 수백  $\mu\Omega/\text{cm}$  내지 수  $\text{m}\Omega/\text{cm}$ 까지 증대하였다. 이들의 결과는 도 7의 (a)의 경향과 일치하고 있으며, 2층 도전성 산화물 전극이 다결정 실리콘과 인접하여 성장하는 경우라도 현저한 저항률의 증대가 생기지 않는 것을 지지한다.

도 7의 (b)에 산소 결손층의 두께가 30nm일 때의 각 산화물 전극을 이용한 산화물 강유전체 캐패시터의 분극 히스테리시스 곡선을 나타낸다. 히스테리시스 곡선의 산화물 전극의 종류에 의한 차이는 거의 나타내지 않는다. 도 7의 (b)에서부터 밝힌 바와 같이, 다결정 실리콘과 인접하는 도전성 산화물층을 비산화성 분위기 중에서 형성함으로써 산화 반응 및 산소의 확산이 억제되며, 기판으로부터 공급되는 전압이 유효하게 산화물 유전체층에 인가될 수 있는 것이 입증된다.

#### <발명의 실시예 2>

본 발명의 실시예는 도 3에 도시한 2층 도전성 산화물층(12) 내의 산소 결손을 포함하는 도전성 산화물층(14)이 확산 방지 비산화물 도전층(30)인 도전성 질화물층 상에 형성되는 하부 전극층(11)의 구조에 대해서, 하부 전극층의 저항 및 산화물 강유전체 캐패시터의 분극 히스테리시스 곡선을 측정한 예이다.

우선, 15mm각의 도전성 실리콘 기판(10) 상에 화학 기상 성장법을 이용하여 인을 도핑한 두께 150nm의 비정질 실리콘막을 형성하고, 이것을 열처리하여 도전성의 다결정 실리콘층(20)을 형성한 후, 확산 방지 비산화물 도전층(30)으로서 도전성 질화물층을 표면 전체에 형성하였다. 이 기초 상에 2종류의 시료를 형성하였다. 하나는, 2mm각의 메탈 마스크를 통해 도전성 산화물층(14, 15)을 형성한 후, 전자선 리소그래피에 의해 100 $\mu\text{m}$  각에 가공한 시료에서 전극 저항의 측정에 이것을 이용하였다. 또 하나는 도전성 산화물층(14, 15)을 기판 표면 전체에 형성한 후, 산화물 유전체층(16)과 상부 전극층(17)을 4mm각, 직경 2mm의 메탈 마스크를 통해 피라미드형으로 적층하고 또한 상부 전극층(17)을 전자선 리소그래피에 의해 10 $\mu\text{m}$  각에 가공한 캐패시터 특성 측정용 시료이다.

여기서는, 도전성 질화물(확산 방지 비산화물 도전층, 30)로서  $\text{TIN}$  및  $\text{TaN}$ 을 이용한 예를 상세하게 설명하지만,  $\text{Zr}$ ,  $\text{Nb}$ ,  $\text{V}$ ,  $\text{W}$ 의 질화물에 대해서도 형성법이나 얻어지는 결과는 동일하였다. 도전성 질화물층은 금속 타겟을 이용하는 직류 스퍼터링법에 의해 형성하였다. 성막 조건은 기판 가열 히터 온도  $300^\circ\text{C}$ , 방전 가스/ 질소 가스 압력비  $\text{Ar}/\text{N}_2=50/50$ , 전압력 4mTorr, 입사 전력 400W, 막 두께 40nm로 하였다. 금속 타겟 대신에 질화물 타겟을 이용하는 RF 마그네트론 스퍼터링법을 이용하여 도전성 질화물층을 형성하더라도 좋다. 성막 후 금속 승온 가열법(Rapid Thermal Annealing)을 이용하여 암모니아 가스 분위기 중  $800^\circ\text{C}$ 에서 2분간 열처리하여 결정화를 촉진하였다.

도전성 산화물층(14, 15)으로서는,  $\text{IrO}_2$ ,  $\text{RuO}_2$ ,  $\text{SrRuO}_3$ ,  $\text{CaRuO}_3$ ,  $\text{ReO}_4$ 를 각각 이용하였다(여기서는 화합물을 명확하게 하는 목적에서 화학식을 이용하므로, 산소 결손층의 기술은 편의적으로 생략한다). 각 산화물층의 형성법을 이하에 진술한다. 다만, 여기에서 설명하는 각 산화물의 제작법은 일 예이며, 서로 제작법을 교체하여도 문제는 없다.

$\text{IrO}_2$ 는 RF 마그네트론 스퍼터링법을 이용하여 미산화성 분위기 중에서 형성하였다. 타겟은 산화물 소결체 타겟을 이용하였다. 성막 조건은 기판 가열 히터 온도  $600^\circ\text{C}$ , 입사 전력  $1.5\text{W}/\text{cm}^2$ , 방전 가스로서 압력 3mTorr의 순도 3N의 Ar 가스, 미산화성 가스로서 유량비  $\text{Ar}/\text{N}_2=100/1$ 의  $\text{N}_2$  가스이다. 이 조건에서 막 두께 5 내지 50nm의 산소 결손을 포함하는 도전성 산화물층을 형성하고, 계속해서 가스 유량비를  $\text{Ar}/\text{N}_2=9/1$ 로 내림과 동시에 전압을 5mTorr로 하고, 기판 가열 히터 온도를  $580^\circ\text{C}$ 로 설정하여 50nm의 도

전성 산화물층을 형성함으로써 2층 도전성 산화물층(12)을 형성하였다.

$\text{SrRuO}_3$ 과  $\text{CaRuO}_3$ 은 산화를 소결체 타겟을 이용하는 RF 마이크로 스퍼터링법을 이용하여 Ar 가스 분위기 중에서 형성하였다. 이하의 성막 조건, 기판 가열 히터 온도  $600^\circ\text{C}$ , 입사 전력  $1.5\text{W}/\text{cm}^2$ , 순도 3N의 방전 Ar 가스 압력 3mTorr 하에서 막 두께 5 내지 50nm의 산소 결손을 포함하는 도전성 산화물층을 형성하였다. 계속해서, 산소를 가스 유량비  $\text{Ar}/\text{O}_2=9/1$ 로 도입함과 동시에 전압을 5mTorr로 하고, 기판 가열 히터 온도를  $580^\circ\text{C}$ 로 설정하여 50nm의 도전성 산화물층을 형성함으로써 2층 도전성 산화물층(12)을 형성하였다.

$\text{RuO}_2$ 와  $\text{ReO}_3$ 은 반응성 증착법에 의해 미산화성 분위기 중에서 형성하였다. 증착원으로서 금속 덩어리를 이용하였다. 이하의 성막 조건, 기판 가열 히터 온도  $600^\circ\text{C}$ , 성막 속도  $1\text{nm}/\text{분}$ , 산소 압력  $5\mu\text{Torr}$  하에서 산소 결손층을 5 내지 50nm 형성한 후, 산소를  $70\mu\text{Torr}$ 의 압력까지 도입함과 동시에 기판 가열 히터 온도를  $580^\circ\text{C}$ 로 설정하여 50nm의  $\text{RuO}_2$ 층,  $\text{ReO}_3$ 층 각각을 적층하고, 2층 도전성 산화물층(12)을 형성하였다.

산화물 유전체층(16)으로서는 티탄산지르콘산염( $\text{Pb}(\text{Zr}_{0.5}\text{Ti}_{0.5})\text{O}_6$ )을 이용하여 RF 마그네트론 스퍼터링법에 의해 이것을 형성하였다. 타겟에는 위의 양 이온 조성으로 나타내는 소결체를 이용하였다. 성막 조건은 기판 가열 히터 온도  $600^\circ\text{C}$ , 방전 가스/ 산소 가스 압력비  $\text{Ar}/\text{O}_2=9/1$ , 전압 5mTorr, 입사 전력  $1.5\text{W}/\text{cm}^2$ , 성막 속도  $5\text{nm}/\text{분}$ , 막 두께 200nm으로 하였다. 단지, 산화물 유전체층의 종류나 제법은 본질적인 캐패시터의 물리 특성에만 영향을 주고, 2층 도전성 산화물 박막으로의 영향은 보이지 않은 것을 부기해둔다. 상부 전극층(17)은 하부 전극층과 동일하게 도전성 산화물을 산화성 분위기 중에서 RF 마그네트론 스퍼터링법을 이용하여 형성하였다. 막 두께는 80nm였다.

확산 방지 비산화물 도전층(30)으로서 TiN(도 8의 (a)) 및 TaN(도 8의 (b))을 이용한 경우에 대해서, 하부 전극층 전체의 저항(종축)을 산소 결손층의 두께(횡축)의 함수로서 도시하였다. 저항은 산화성 분위기 중에서 형성한 도전성 산화물층과 도전성 실리콘 기판 간의 저항의 측정치이다. 질화물층 및 도전성 산화물 전극의 종류, 형성법, 형성 조건에 상관없이 마찬가지로 두께의 존재가 보였다. 산소 결손층의 두께가 5nm일 때에는 전극 저항은 현저하게 크다. 질화물층 표면의 피복율이 작으며 계속되는 산화성 분위기에서 도전성 산화물층을 형성할 때 계면이 산화되며 고저항화한 결과이다. 저항은 두께가 5nm 내지 10nm에 걸쳐서 급격하게 감소하고 10nm 이상에서 거의 일정해진다. 질화물층 표면의 피복율이 증대하여 계면 산화가 억제된 결과이다. 산화를 전극으로서  $\text{CaRuO}_3$ 을 이용할 때에 저항이 높은 것은 일부  $\text{CaO}$ 가 분해 생성하여 전극 계면에서의 접촉 저항이 증대한 결과인 것이 X선 회절법에 의해 확인되었다. 미산화성 분위기 중에서 형성한  $\text{IrO}_2$ ,  $\text{RuO}_2$  및  $\text{ReO}_3$ 층을 포함하는 전극의 저항은 Ar 가스 중에서 형성한  $\text{SrRuO}_3$ 을 포함하는 전극보다도 약간 크다. 어느 하나에서도 전극층으로서 이용하는데 충분히 낮은 저항치가 유지되어 있는 것은 분명하다. 도전성 산화물 재료 단체의 저항율은 별도의 단일막으로 측정된 결과로는  $\text{IrO}_2$ ,  $\text{RuO}_2$ ,  $\text{ReO}_3$ ,  $\text{SrRuO}_3$ , La를 4중량% 첨가한  $\text{SrTiO}_3$ 에서는 발명의 실시예 1에 기재한 그대로이다.  $\text{CaRuO}_3$ 에 관해서는 비산화성 분위기 중에서 막 형성함으로써 수백  $\mu\Omega\cdot\text{cm}$  내지  $10\text{m}\Omega\cdot\text{cm}$  가까이까지 증대하였다. 이들의 결과는 도 8의 (a)의 경향과 일치하고 있으며 2층 도전성 산화물 전극이 확산 방지 비산화물 도전층과 인접하여 성장하는 경우라도 현저한 저항율의 증대가 생기지 않은 것을 지지한다.

도 8의 (c)에 질화물층으로서 TiN을 이용한 경우에 대해서, 도 8의 (a)에 도시한 산소 결손층의 두께가 10nm일 때의 산화물 강유전체 캐패시터의 복극 히스테리시스 곡선을 나타낸다.  $\text{CaRuO}_3$ 층을 포함하는 전극으로는 히스테리시스 곡선이 다른 전극보다도 횡축 방향으로 개방하고 있다. 분해 생성한  $\text{CaO}$ 가 유전체에 인가되는 전장에 분포를 초래한 결과라고 생각되지만, 캐패시터로서는 충분한 특성이 확보되어 있으므로 문제는 없다. 도 8의 (c)에서부터 밝힌 바와 같이, 질화물층과 인접하는 도전성 산화물층을 비산화성 분위기 중에서 형성함으로써 산화 반응 및 산소의 확산이 억제되며 기판으로부터 공급되는 전압이 유효하게 산화물 유전체층에 인가될 수 있는 것이 입증된다. TaN층에 대해서도 본질적으로 도 8의 (c)와 마찬가지로의 히스테리시스 곡선이 얻어졌다.

#### <발명의 실시예 3>

본 발명의 실시예에는 도 4에 도시한 2층 도전성 산화물층(12) 내의 산소 결손을 포함하는 도전성 산화물층(14)이 금속층(40)을 통해 확산 방지 비산화물 도전층(30) 상에 형성되는 하부 전극층(11)의 구조에 대해서, 산화물 강유전체 캐패시터의 복극 히스테리시스 곡선을 측정한 예이다.

기판(10)이나 다결정 실리콘층(20), 확산 방지 비산화물 도전층(30)으로서의 TiN층, 산화물 유전체층(16), 상부 전극층(17)의 형상이나 형성법은 상기 발명의 실시예 1 및 2에 기록한 내용과 동일하다. 다만, 산화물 유전체층 및 상부 전극층의 선택은 본질적인 것은 아니다.

확산 방지 비산화물 도전층(30)으로서 두께 40nm의 TiN을 상기 발명의 실시예 2에 따라서 형성하였다. 상기 발명의 실시예 2에 열거한 다른 질화물에 대해서도 마찬가지로의 결과가 얻어지고 있다.

본 발명의 실시예에서는 금속층(40)으로서 백금을 이용했지만, 동종의 귀금속인 이리듐이나 루테튬을 이용하여도 마찬가지로의 효과가 확인되었다. 금속층은 이하의 조건에서 적층 스퍼터링법에 의해 형성하였다. 입사 전력은  $400\text{W}$ , 방전 가스는 Ar, 가스압은 20mTorr, 기판 가열 히터 온도는  $500^\circ\text{C}$ 이다. 두께 20nm의 금속층(40)을 확산 방지 비산화물 도전층(30) 상에 기판 전면에 형성하였다.

도전성 산화물로서는  $\text{IrO}_2$ ,  $\text{RuO}_2$ ,  $\text{SrRuO}_3$ , La를 4중량% 첨가한  $\text{SrTiO}_3$ 을 이용하고, 모두 RF 마그네트론 스퍼터링법을 이용하여 미산화성 분위기 중에서 형성하였다. 타겟은 각각 산화물 소결체 타겟을 이용하였다. 성막 조건은 기판 가열 히터 온도  $600^\circ\text{C}$ , 입사 전력  $1.5\text{W}/\text{cm}^2$ , 방전 가스로서 압력 3mTorr의 순도 3N의 Ar 가스, 미산화성 가스로서 유량비  $\text{Ar}/\text{N}_2=100/1$ 의  $\text{N}_2$  가스이다. 이 조건으로 막 두께 10nm의 산소



결손을 포함하는 도전성 산화물층(14)을 형성하고, 계속해서 가스 유량비를 Ar/N<sub>2</sub>=9/1에 내림과 동시에 전압을 5mTorr로 하고, 기판 가열 히터 온도를 580℃로 설정하여 50nm의 도전성 산화물층(15)을 형성함으로써 2층 도전성 산화물층(12)을 형성하였다.

도 9에, 각 도전성 산화물에 대해서 산화를 감응전체 캐패시터의 분극 히스테리시스 곡선을 나타낸다. 산소 결손층의 종류에 상관없이, 대칭성이 높은 개방한 히스테리시스 루프가 관찰된다. 금속층이 20nm로 얇으며, 이것과 인접하는 도전성 산화물층을 미산화성 분위기 중에서 형성하는 경우에도 산소 결손층이 개재함으로써 산화 반응 및 산소의 확산이 억제되며 기판으로부터 공급되는 전압이 유효하게 산화를 유전체층에 인가될 수 있는 것이 입증된다.

이상의 각 발명의 실시예에서 설명한 바와 같이, 본 발명의 특징 중 하나인 비산화성 분위기 중에서 산소 결손을 포함하는 도전성 산화물층을 형성하여 2층 도전성 산화물층을 형성함으로써, 이것과 인접하는 다결정 실리콘(발명의 실시예 1), 질화물로 이루어지는 확산 방지 비산화물 도전층(발명의 실시예 2) 혹은 금속층을 통해 인접하는 확산 방지 비산화물 도전층(발명의 실시예 3)을 산화하는 일 없이, 하부 전극층 및 산화물 유전체층을 형성할 수 있게 되었다. 이것에 의해서, 전극의 계면 저항이나 접촉 저항을 저감하는 것이 가능해지며 고집적화에 알맞은 산화물 유전체 캐패시터를 형성할 수가 있게 되었다.

## 1-2. 도전성 재료 선정 지침 2

반도체 장치에 적합한 산화물 유전체 캐패시터의 전극에서 반도체층과 유전체층 사이에 설치되는 2개의 도전성 재료층의 반도체층측에 질화 티타늄 알루미늄층을 유전체층측에 내산화성의 금속 재료층을 선정하는 경우에 대해서, 이하의 발명의 실시예 4 ~ 실시예 5에 의해 관련 도면을 참조하여 설명한다.

### <발명의 실시예 4>

본 발명의 실시예는, 질화 티타늄 알루미늄층에서의 알루미늄 함유량 및 질소 함유량의 허용량을 상의 균일성, 낮은 저항률, 내산화성의 관점에서부터 조사한 예이다. 상의 균일성과 내산화성은 X선 회절법에 의해서 관찰되는 상으로부터 저항률은 직류 4단자법에 의한 측정으로부터 각각 조사하였다.

우선, 자연 산화막을 제거한 도전성 실리콘 기판 상에 직류 스퍼터링법을 이용하여 질화 티타늄 알루미늄(Ti<sub>1-x</sub>Al<sub>x</sub>)<sub>2</sub>N<sub>2</sub>막을 형성하였다. 타겟으로는 알루미늄 금속판 상에 알루미늄 금속 부재 및 티타늄 금속 부재를 모자이크형으로 전면적으로 간 복합 타겟을 이용하였다. 양 금속 부재의 면적비로 알루미늄 함유량 x를 조정하였다. 질소 함유량 y는 아르곤 방전 가스/ 질소 가스의 유량비를 95/5 내지 5/95의 범위로 변화시켜서 조정하였다. 기판 가열 히터 온도는 550℃이다. 그 밖의 형성 조건은 입사 전력 400W, 가스의 전압 5 내지 20mTorr, 성장 속도는 5 내지 10nm/분, 막 두께는 50nm이다. 알루미늄 함유량 x는 ICP법(유도 결합 플라즈마 분광법)을 이용하여, 질소 함유량 y는 He<sup>+</sup> 이온을 이용하는 RBS법(러더포드 백 스퀘터링)을 이용하여 각각 분석하여 결정하였다.

도 10의 (a)에, 질소 함유량 y가 0.5인 시료에 대해서 생성상 및 저항률을 알루미늄 함유량 x의 함수로서 나타냈다. X선 회절의 결과로는 x가 0.6 이하에서는 TiN에 귀속되는 회절선만이 관찰되었지만, x가 0.6을 넘으면 AlN에 귀속되는 상이 존재하는 혼합 상이 관찰되며 x의 증대와 함께 TiN 상이 소실함과 동시에 AlN 상이 증대하였다. 저항률은 x의 증대와 함께 약간 증대하고, 0.5 부근에서부터 급격하게 증대하여 고저항으로 한한다. 도 10의 (b)에 알루미늄 함유량 x가 0.4인 시료에 대해서 생성상 및 저항률을 질소 함유량 y의 함수로서 나타냈다. X선 회절의 결과로는 y가 0.2 보다도 작으면 8θ를 넘으면 TiN 이외의 회절선이 현저하게 관찰되었다. 저항률은 x선 회절 패턴에서 단일상이 관찰되는 y가 0.2 이상 0.6 이하의 질소 함유량에 대해서만 조사하였다. 저항률은 y와 함께 증대하고, y가 0.6 부근에서부터 급격하게 증대한다. 통상, 이상의 영향은 X선 회절보다도 저항률에서 민감하게 나타나므로, 저항률이 결정되는 임계치가 x와 y 양쪽에서 좁아진다고 생각된다.

다음에, 상기에서 형성한 질화 티타늄 알루미늄층 상에 두께 30nm의 백금층을 직류 스퍼터링법에 의해 형성하였다. 형성 조건은 입사 전력은 400W, 방전 가스는 아르곤, 가스압은 20mTorr, 형성 온도는 500℃이다. 또한, 백금층 상에 RF 마그네트론 스퍼터링법을 이용하여, 두께 100nm의 산화물 유전체층(Pb(Zr<sub>0.6</sub>Ti<sub>0.4</sub>)O<sub>3</sub>)을 적층하였다. 형성 조건은 기판 가열 히터 온도 300℃, 입사 전력 1.5W/cm<sup>2</sup>, 성장 속도 3nm/분, 방전 Ar 가스/ 산소 가스 유량비=90/10, 압력 5mTorr이다. 형성 후, 산소 기류 중 650℃에서 2분간, 금속 층은 가열(Rapid Thermal Annealing) 처리를 행하고 결정화를 촉진시켰다.

마지막으로, 일단 형성한 산화물 유전체층을 드라이 에칭 프로세스에 의해 전부 제거하고 다시 백금층을 노출시켰다. 이 시료에 대해서 X선 회절 측정을 행하고, 산화물 유전체층 형성에 의해 질화 티타늄 알루미늄(Ti<sub>1-x</sub>Al<sub>x</sub>)<sub>2</sub>N<sub>2</sub>층이 산화되어 변질했는지 여부를 조사하였다. 그 결과를 도 10에 맞춰서 나타내었다. 도 10의 (a)에 도시한 바와 같이, 알루미늄 함유량 x가 0.2보다도 작을 때에는 질화물층이 산화되어 TiO<sub>2</sub>가 형성되는 것이 확인되었다. 또한, 도 10의 (b)에 도시한 바와 같이 질소 함유량 y가 0.4보다도 작을 때는 TiO<sub>2</sub>가 관찰되었다.

이상의 임계치는 알루미늄 함유량 x 및 질소 함유량 y를 다른 값에 고정하여도 동일하였다.

또한, 금속층으로서 백금 이외의 이리듐, 루테튬, 레늄을 이용해도 본질적으로 결과는 바뀌지 않았다. 또한, 다른 산화물 유전체, 예를 들면 다른 티타늄/ 지르코늄비의 티탄산지르콘산염, 티탄산지르콘산 바륨염, 티탄산바륨 스트론튬, 비스무트 감응전체에 대해서도 질화 티타늄 알루미늄 확산 및 산화 방지층은 마찬가지로의 효과를 나타냈다.

### <발명의 실시예 5>

본 발명의 실시예는 질화 티타늄 알루미늄 확산 및 산화 방지층을 포함하는 산화물 유전체 캐패시터를 형성하고, 그 분극 히스테리시스 곡선을 측정하는 예이다.

발명의 실시예 4에 기술한 두께 30nm의 백금층/ 두께 50nm의 질화 티타늄 알루미늄층/ 도전성 실리콘 기



판 상에 시료 (a)에서는 직접 산화물 유전체층을 시료 (b)에서는 도전성 산화물층을 통해 산화를 유전체층을 각각 적층하였다.

도전성 산화물층으로서 RF 마그네트론 스퍼터링법을 이용하여 형성한 두께 50nm의  $RuO_4$ 를 이용하였다. 타겟으로는  $Ru$  금속 타겟을 이용하였다. 형성 조건은 기판 가열 히터 온도 500°C, 입사 전력 1.5W/cm<sup>2</sup>, 성장 속도 3nm/분, 발전 Ar 가스/ 산소 가스 유량비 50/50, 압력 7mTorr이다.

산화물 유전체층으로는 졸겔법을 이용하여 형성한 두께 100nm의 티탄산지르콘산염( $Pb(Zr_{0.6}Ti_{0.4})O_3$ )을 이용하였다. 졸로서는 초산염, 티탄 이소프로폭시드 및 지르콘 이소프로폭시드를 메톡시 에탄올 중에서 반응시킨 용액을 이용하였다. 이것을 상기한 백금층(시료 a) 혹은 도전성 산화물층(시료 b) 상에 도포한 후, 산소 분위기 중 650°C에서 2분간 급속 승온 가열하여 이것을 결정화시켰다.

상부 전극층으로서 메탈 마스크를 통해서 직류 스퍼터링법으로 형성한 직경 2mm의 백금층을 이용하였다.

도 11에 상부 전극과 도전성 실리콘 기판 간에 전압을 인가하여 측정한 분극 히스테리시스 곡선을 나타낸다. 시료 (a)와 (b)의 양쪽에서 양호한 히스테리시스 곡선이 얻어지고 있으며, 개재하는 백금층의 두께가 30nm로 얇을 때에도 절화 티타늄 알루미늄층이 확산 및 산화 반응 방지층으로서 유효하게 기능하고, 기판으로부터의 전압 공급으로 캐패시터를 동작시킬 수 있는 것이 확인되었다.

본 발명의 실시예에서는 도전성 산화물층 및 산화물 유전체층의 선택은 본질이 아니다. 예를 들면, 도전성 산화물로서  $IrO_2$ ,  $SrRuO_4$ ,  $ReO_3$  중 어느 하나를 이용하여도 마찬가지로의 효과가 얻어졌다. 또한, x가 0.5 미외의 티탄산지르콘산염( $Pb(Zr_{1-x}Ti_x)O_3$ ), 티탄산바륨 스트론튬( $(Ba_{1-x}Sr_x)TiO_3$ (x=0 내지 1)), 티탄산지르콘산 바륨염, 비스무트 계층형 강유전체를 이용하여도 마찬가지로 캐패시터를 형성할 수가 있게 되었다.

이상의 각 발명의 실시예에서 설명한 바와 같이, 본 발명의 특징 중 하나인 절화 티타늄 알루미늄층 확산 및 산화 방지층을 형성함으로써 이것과 인접하는 백금 등의 금속층의 두께를 30nm까지 얇게 하여도 절화물층을 산화하는 일 없이 하부 전극층 및 비산화물 유전체층을 형성할 수가 있게 되었다. 이것에 의해서, 전극의 계면 저항이나 접촉 저항을 저감함과 동시에, 캐패시터의 애스펙트비를 작게 하는 것이 가능해지며 고집적화에 알맞은 산화물 유전체 캐패시터를 형성할 수 있게 되었다.

## §2 유전체 캐패시터를 갖는 반도체 장치의 형성

본 발명에 의한 산화물 유전체 캐패시터의 반도체 장치로의 적용의 형태에 대해서, 실리콘 기판 상에 형성된 MOS 트랜지스터를 예로, 이하의 발명의 실시예 6 ~ 실시예 10에 의해 관련 도면을 참조하여 설명한다. 또, 발명의 실시예 6 ~ 실시예 8은 상술한 도전성 재료 선정 지침 1에 발명의 실시예 9 및 실시예 10은 전술한 도전성 재료 선정 지침 2에 각각 기초하고 있다.

### <발명의 실시예 6>

본 발명의 실시예에서는 반도체 장치의 제조에 관해서 최초로, 산화물 유전체 캐패시터를 형성하기 전까지의 전 공정을 나타낸다.

우선, 실리콘 기판에 MOS 트랜지스터를 형성하고, 다음에 일단 표면을 평활화하고, 마지막으로 캐패시터의 전극과 전기적인 접속을 하기 위한 다결정 실리콘 클래그의 형성에 대해서 기술한다. 일련의 제조 공정을 도 12 내지 도 15를 이용하여 순서대로 설명한다.

우선, 도 12에 도시한 바와 같이, 기존의 MOSFET 형성 공정에 의해 스위치용 트랜지스터를 형성한다. 121은 p형 반도체 기판, 122는 소자 간 분리 절연막, 123은 게이트 산화막, 124는 게이트 전극이 되는 워드선, 125와 126은 인을 도핑한 n형 불순물 확산층, 127은  $SiO_2$ 로 이루어지는 중간 절연막이다. 다음에, 화학 기상 성장법을 이용하여 표면의 요철 전체를 두께 50nm의  $SiO_2$ 층(128)으로 피복한다. 계속해서 두께 600nm의  $Si_3N_4$ 층(129)으로 일단 피복한 후, 이  $Si_3N_4$ 층(129)을 퇴적시킨 막 두께 상당량 에칭하여 절연막을 워드선 간에 매립하고, 도 12의 구조를 형성한다.  $SiO_2$ 층(128)은 후의 공정에서 비트선을 가공할 때의 기초이며 또한 기판 표면의 노출이나 소자 간 분리 절연막(122)이 손상하는 것을 방지하는 역할을 한다.

다음 공정을 도 13에 도시한다. 후에 형성하는 비트선이 기판 표면의 n형 불순물 확산층(125)과 접촉하는 부분의  $Si_3N_4$  및 후에 형성하는 캐패시터 전극이 기판 표면의 n형 불순물 확산층(126)과 접촉하는 부분의  $Si_3N_4$ 를 포토 리소그래피법과 드라이 에칭법을 이용하여 개공한다. 개공한 부분을 포함하는 전체에, 화학 기상 성장법을 이용하여 n형 불순물을 포함하는 두께 600nm의 비정질 실리콘을 퇴적시켜서 열처리를 거쳐서 이것을 다결정화시킨다. 또한, 막 두께 상당의 다결정 실리콘을 에칭하고, 개공부가 다결정 실리콘(131, 132)에서 매립된 도 13의 구조를 형성한다.

다음의 비트선 형성 공정을 도 14에 도시한다. 우선, 화학 기상 성장법을 이용하여 표면 전체를  $SiO_2$  절연막(141)으로 피복한다. 다음에, 바로 후에 형성하는 비트선이 기판의 n형 불순물 확산층(125)과 전기적으로 접속되도록, 다결정 실리콘(131)의 상부에 위치하는  $SiO_2$  절연막을, 포토 리소그래피법과 드라이 에칭법을 이용하여 형성한다. 이 개공부를 포함하는 전면에 비트선이 되는 금속의 실리콘사이드 및 다결정 실리콘의 적층막(142)을 형성하고, 또한 이 위에 두께 200nm의  $SiO_2$ 층(143)을 퇴적시킨다. 포토 리소그래피법과 드라이 에칭법을 이용하여  $SiO_2$ 층(143)과 금속 실리콘사이드 및 다결정 실리콘의 적층막(142)을 목적의 패턴으로 가공하여, 비트선(142) 및  $SiO_2$ 층(143)을 형성한다. 다음에, 비트선(142)의 측면부를 절연하기 위해, 화학 기상 성장법을 이용하여 두께 150nm의  $Si_3N_4$ 를 퇴적한 후, 드라이 에칭법에 의해 이것을 에칭하고,  $Si_3N_4$ 의 측면 스페이서(144)를 형성한다. 마지막으로, 다결정 실리콘(132)의 상부에 위

치하는 SiO<sub>2</sub> 절연막(141)을, 포토리소그래피법과 드라이 에칭법을 이용하여 형성한다. 이것은 후에 형성하는 캐패시터 전극과 n형 불순물 확산층(126)을 전기적으로 접속하기 위한 준비이다.

다음에, 캐패시터를 형성하기 전의 평탄화 공정 및 도전성의 다결정 실리콘 플러그를 형성하는 공정을 도 15에 도시한다. 우선, 기판 표면을 평탄화하는데 충분한 막 두께의 절연막(151)을 퇴적시킨다. 본 발명의 실시예에서는, 두께 500nm의 불소 인 실리콘계 유리(BPSG)를 이용하였지만, 다른 실리콘 산화막을 이용하여도 좋다. 화학 기계 연마(CMP)법에 의해 이것을 평탄화한다. 화학 기상 성장법을 이용하여 기판 표면을 SiO<sub>2</sub>로 피복한 후, 이것을 에칭백하여 평탄화하여도 좋다. 다음에, n형 불순물 확산층(126)의 상부에 위치하는 절연막(151)을 포토리소그래피법과 드라이 에칭법을 이용하여 개공하고 컨택트홀을 형성한다. 이 홀을 포함하는 전면에 화학 기상 성장법을 이용하여 두께 200nm의 인 도핑 비정질 실리콘을 퇴적시킨 후 이것을 열처리하여 다결정화하고, 드라이 에칭법에 의해 에칭백하여 다결정 실리콘이 매립된 다결정 실리콘 플러그(152)를 형성한다.

이상으로, 산화를 유전체 캐패시터를 형성하기 위한 전 공정이 완료되었다.

다음에, 이 MOS 트랜지스터의 형성으로부터 다결정 실리콘 플러그의 형성까지의 전 공정이 완료한 기판 상에, 2층 도전성 산화물층을 포함하는 산화를 유전체 캐패시터를 형성한 공정을 설명한다. 여기서는 하부 전극의 구조를 도 2에 도시한 다결정 실리콘 상에 산소 결손을 포함하는 도전성 산화물층을 직접 형성하는 구조를 채용하였다.

우선, 도 16에 도시한 바와 같이, 상기 발명의 실시예 1에서 상세히 기술한 바와 같이, RF 마그네트론 스퍼터링법을 이용하여 Ar 분위기 중에서 두께 10nm의 산소 결손을 포함하는 도전성 산화물층(161: RuO<sub>x</sub>)을 형성하고, 계속해서 산소를 가스 유량비로 Ar/O<sub>2</sub>=9/1까지 도입함과 동시에 전압을 올리고, 두께 50nm 도전성 산화물층(162)을 적층하여 2층 도전성 산화물층(161)과 2층 도전성 산화물(162)을 형성하였다. 다음에, 이 위에 DC 스퍼터링법에 의해 50nm의 W막으로 피복하고, 드라이 에칭법에 의해 포토레지스트의 마스크 패턴을 이것에 전사하였다. 이 전사 패턴을 마스크로 하여, 스퍼터 에칭법에 의해 2층 도전성 산화물층(161)과 2층 도전성 산화물층(162)을 패턴화하였다. 전사 마스크를 에칭으로 제거한 후에, 산화를 유전체층(163)을 형성하였다. 본 발명의 실시예에서는, 산화를 유전체로서, 티탄산지르콘산염(Pb(Zr<sub>0.4</sub>Ti<sub>0.6</sub>)O<sub>4</sub>)을 이용하고, 그 형성 방법은 상기 발명의 실시예 2 및 실시예 3에 상세히 기술한 바와 같다. 단, 막 두께는 100nm로 하였다. 마지막으로, 백금 플레이트 전극(164)을 형성하여 메모리셀의 캐패시터를 완성시켰다.

이 산화를 강유전체 캐패시터의 분극 히스테리시스 특성을, 캐패시터 면적 0.2로부터 25μm<sup>2</sup>까지 변화시킨 시료에 대해 측정하였다. 그 결과, 어느 것에 있어서도 다결정 실리콘 플러그(152)로부터의 전압 공급이 가능하며, 양호한 히스테리시스 곡선이 얻어졌다.

본 발명의 실시예에서는, 산화를 유전체층의 선택은 본질이 아니다. x가 0.5 미만의 티탄산지르콘산염(Pb(Zr<sub>x</sub>Ti<sub>1-x</sub>)O<sub>4</sub>), 티탄산바륨스트론튬((Ba<sub>0.5</sub>Sr<sub>0.5</sub>)TiO<sub>3</sub>(x = 0 내지 1)), 티탄산지르콘산바륨, 비스무트계층형 강유전체를 이용하여도 마찬가지로 메모리셀을 형성할 수 있었다. 또한, 도전성 산화물층으로서 상기 발명의 실시예 1에 기술한 어느 한 화합물을 이용하여도 마찬가지로 효과가 얻어졌다.

#### <발명의 실시예 7>

본 발명의 실시예에서는, 본 발명의 실시예 6에서 상세히 기술한, MOS 트랜지스터의 형성으로부터 다결정 실리콘 플러그의 형성까지의 전 공정이 완료한 기판 상에, 도 3에 도시한 바와 같이 2층 도전성 산화물층을 확산 방지 비산화물 도전층 상에 형성하는 산화를 유전체 캐패시터를 형성한 공정예이다.

우선, 도 17에 도시한 바와 같이, 확산 방지 비산화물 도전층(171)을 형성한다. 여기서는, 확산 방지 비산화물 도전층으로서 TiN을 이용한 예를 상세히 설명하지만, Ta, Zr, Nb, V, W의 질화물에 대해서도 반도체 장치로서 마찬가지로 결과가 얻어졌다. 질화물층은 상기 발명의 실시예 2에서 상세히 기술한 바와 같이, 금속 타겟을 이용하는 직류 스퍼터링법에 의해 형성하였다. 막 두께는 40nm이다. 성막 후, 급속 승온 가열법을 이용하여, 암모니아 가스 분위기 중 800°C에서 2분간 열처리하여 결정화를 촉진하였다.

다음에, 2층 도전성 산화물층으로서, SrRuO<sub>3</sub>를 미산화성 분위기 중에서 RF 마그네트론 스퍼터링법을 이용하여 형성하였다. 이것은, 물론 Ar 가스 중에서 형성하여도 동일한 효과가 얻어지는 것을 의미한다. 가스 유량비 Ar/O<sub>2</sub>=100/1로 두께 10nm의 산소 결손을 포함하는 도전성 산화물층(161: SrRuO<sub>x</sub>)을 형성하고, 계속해서 가스 유량비를 Ar/O<sub>2</sub>=9/1까지 내리 두께 50nm 도전성 산화물층(162)을 적층하여 2층 도전성 산화물층(161)과 2층 도전성 산화물층(162)을 형성하였다. 온도 등의 조건의 상세는 상기 발명의 실시예 2에 기재한 바와 같다.

다음에, 이 위에 DC 스퍼터링법에 의해 50nm의 W막으로 피복하고, 드라이 에칭법에 의해 포토레지스트의 마스크 패턴을 이것에 전사하였다. 이 전사 패턴을 마스크로 하여, 스퍼터 에칭법에 의해 2층 도전성 산화물층(161)과 2층 도전성 산화물층(162) 및 확산 방지 비산화물 도전층(171)을 패턴화하였다. 전사 마스크를 에칭으로 제거한 후에, 산화를 유전체층(163)을 형성하였다. 본 발명의 실시예에서는, 산화를 유전체로서, 티탄산지르콘산염(Pb(Zr<sub>0.4</sub>Ti<sub>0.6</sub>)O<sub>4</sub>)을 이용하고, 그 형성 방법은 상기 발명의 실시예 2 및 실시예 3에서 상세히 기술한 바와 같다. 단, 막 두께는 100nm로 하였다. 마지막으로, 백금 플레이트 전극(164)을 형성하여 메모리셀의 캐패시터를 완성시켰다.

이 산화를 강유전체 캐패시터의 분극 히스테리시스 특성을, 캐패시터 면적 0.2 내지 25μm<sup>2</sup>까지 변화시킨 시료에 대해 측정하였다. 그 결과, 어느 하나에 있어서도 다결정 실리콘 플러그(152)로부터의 전압 공급이 가능하며, 양호한 히스테리시스 곡선이 얻어졌다.

본 발명의 실시예에서는, 산화를 유전체층의 선택은 본질이 아니다. x가 0.5 미만의

티탄산지르콘산염( $\text{Pb}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_6$ ), 티탄산바륨스트론튬( $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_6$  ( $x = 0$  내지 1)), 티탄산지르콘산바륨염, 비스무트계층형 강유전체를 이용하여도 마찬가지로 메모리셀을 형성할 수 있었다. 또한, 도전성 산화물층으로서 상기 발명의 실시예 1 내지 실시예 3에 기술한,  $\text{IrO}_2$ ,  $\text{RuO}_2$ ,  $\text{CaRuO}_3$ , La를 첨가한  $\text{SrTiO}_3$ ,  $\text{ReO}_3$  중 어느 하나를 이용하여도 마찬가지로의 효과가 얻어졌다.

#### <발명의 실시예 8>

본 발명의 실시예에서는, 본 발명의 실시예 6에서 상세히 기술한, MOS 트랜지스터의 형성으로부터 다결정 실리콘 플러그의 형성까지의 전 공정이 완료한 기판 상에, 도 4에 도시한 바와 같이 2층 도전성 산화물층을 금속층을 통해 확산 방지 비산화물 도전층 상에 형성하는 산화물 유전체 캐패시터를 형성한 공정예이다.

우선, 도 18에 도시한 바와 같이, 확산 방지 비산화물 도전층(171)을 형성한다. 여기서는, 확산 방지 비산화물 도전층으로서  $\text{TiN}$ 을 이용한 예를 설명하지만, Ta, Zr, Nb, V, W의 질화물에 대해서도 반도체 장치로서 마찬가지로의 효과가 얻어졌다.  $\text{TiN}$ 층은 상기 발명의 실시예 7에서 기술한 바와 같다. 이 위에, 직류 스퍼터링법에 의해 두께 20nm의 금속층(181)을 형성하였다. 본 발명의 실시예에서는 백금을 이용하였지만, 동종의 귀금속인 이리듐이나 루테튬을 이용하여도 마찬가지로의 효과가 확인되었다. 금속층의 형성 조건은 상기 발명의 실시예 3에 기재한 바와 같다.

다음에, 2층 도전성 산화물층으로서  $\text{IrO}_2$ 를 미산화성 분위기 중에서 RF 마그네트론 스퍼터링법을 이용하여 형성하였다. 물론 Ar 가스 중에서 형성하여도 동일한 효과가 얻어졌다. 가스 유량비  $\text{Ar}/\text{O}_2=100/1$ 로 두께 10nm의 산소 결손을 포함하는 도전성 산화물층(161:  $\text{IrO}_2$ )을 형성하고, 계속해서 가스 유량비를  $\text{Ar}/\text{O}_2=9/1$ 까지 내려 두께 50nm의 도전성 산화물층(162:  $\text{IrO}_2$ )을 적층하여 2층 도전성 산화물층(161)과 2층 도전성 산화물층(162)을 형성하였다. 온도 등의 조건은 상세는 상기 발명의 실시예 3에 기재한 바와 같다.

다음에, 이 위에 DC 스퍼터링법에 의해 50nm의 W막으로 피복하고, 드라이 에칭법에 의해 포토레지스트의 마스크 패턴을 이것에 전사하였다. 이 전사 패턴을 마스크로 하여, 스퍼터 에칭법에 의해 2층 도전성 산화물층(161)과 2층 도전성 산화물층(162), 금속층(181) 및 확산 방지 비산화물 도전층(171)을 패턴화하였다. 전사 마스크를 에칭으로 제거한 후에, 산화물 유전체층(163)을 형성하였다. 본 발명의 실시예에서는 산화물 유전체로서, 티탄산지르콘산염( $\text{Pb}(\text{Zr}_{0.5}\text{Ti}_{0.5})\text{O}_6$ )을 이용하고, 그 형성 방법은 상기 발명의 실시예 2 및 실시예 3에서 상세히 기술한 바와 같다. 막 두께는 100nm로 하였다. 마지막으로, 백금 플레이트 전극(164)을 형성하여 메모리셀의 캐패시터를 완성시켰다.

이 산화물 유전체 캐패시터의 분극 히스테리시스 특성을, 캐패시터 면적 0.2 내지 25 $\mu\text{m}^2$ 까지 변화시킨 시료에 대해 측정하였다. 그 결과, 어느 하나에 있어서도 다결정 실리콘 플러그(152)로부터의 전압 공급이 가능하며, 양호한 히스테리시스 곡선이 얻어졌다.

본 발명의 실시예에서는, 산화물 유전체층의 선택은 본질이 아니다.  $x$ 가 0.5 이외의 티탄산지르콘산염( $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_6$ ), 티탄산바륨스트론튬( $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_6$ ) ( $x = 0$  내지 1)), 티탄산지르콘산바륨염, 비스무트계층형 강유전체를 이용하여도 마찬가지로 메모리셀을 형성할 수 있었다. 또한, 도전성 산화물층으로서 상기 발명의 실시예 1 내지 실시예 3에 기술한,  $\text{RuO}_2$ ,  $\text{SrRuO}_3$ ,  $\text{CaRuO}_3$ , La를 첨가한  $\text{SrTiO}_3$ ,  $\text{ReO}_3$  중 어느 하나를 이용하여도 마찬가지로의 효과가 얻어졌다.

#### <발명의 실시예 9>

본 발명의 실시예에서는, 본 발명의 실시예 6에서 상세히 기술한, MOS 트랜지스터의 형성으로부터 다결정 실리콘 플러그의 형성까지의 전 공정이 완료한 기판 상에, 질화티타늄 알루미늄 확산 및 산화 방지층을 포함하는 산화물 유전체 캐패시터를 형성한 공정예이다. 여기서는 하부 전극의 구조로서, 도 5에 도시한 질화티타늄 알루미늄 상에 금속층, 산화물 유전체층을 순차 적층하는 구조를 채용하였다.

우선, 도 19에 도시한 바와 같이, 질화티타늄 알루미늄( $(\text{Ti}_{0.5}\text{Al}_{0.5})\text{N}$ )층(191)을, RF 마그네트론 스퍼터링법을 이용하여 형성하였다. 타겟에는, 질화 티타늄판 상에 질화알루미늄층을 적당량 놓은 복합 타겟을 이용하였다. 형성 조건은, 기판 가열 히터 온도는 550 $^{\circ}\text{C}$ , 압사 전력 400W, 가스의 전압은 8mTorr, 아르곤 방전 가스/질소 가스의 유량비는 90/10, 성장 속도는 10nm/분, 막 두께는 50nm이다. 도 5에서 설명한 다른 알루미늄 혹은 질소 함유량에 대해서도 이하에 설명하는 효과는 마찬가지였다.

이 위에, 직류 스퍼터링법에 의해 두께 30nm의 금속층(181)을 형성하였다. 본 발명의 실시예에서는 백금을 이용하였지만 동종의 귀금속인 이리듐이나 루테튬을 이용하여도 마찬가지로의 효과가 확인되었다. 금속층의 형성 조건은 상기 발명의 실시예 4에 기재한 바와 같다.

다음에, 이 위에 DC 스퍼터링법에 의해 50nm의 W막으로 피복하고, 드라이 에칭법에 의해 포토레지스트의 마스크 패턴을 이것에 전사하였다. 이 전사 패턴을 마스크로 하여, 스퍼터 에칭법에 의해 질화티타늄 알루미늄층(191)과 금속층(182)을 패턴화하였다. 전사 마스크를 에칭으로 제거한 후에, 산화물 유전체층(163)을 형성하였다. 본 발명의 실시예에서는 산화물 유전체로서, 티탄산지르콘산염( $\text{Pb}(\text{Zr}_{0.5}\text{Ti}_{0.5})\text{O}_6$ )을 이용하고, 그 형성 방법은 상기 발명의 실시예 5에 상세히 기술한 바와 같은 방법이다. 그 막 두께는 100nm로 하였다. 마지막으로, 백금 플레이트 전극(164)을 형성, 패턴화하여 메모리셀의 캐패시터를 완성시켰다.

이 산화물 유전체 캐패시터의 분극 히스테리시스 특성을, 캐패시터 면적 0.2 내지 25 $\mu\text{m}^2$ 까지 변화시킨 시료에 대해 측정하였다. 그 결과, 어느 하나에 있어서도 다결정 실리콘 플러그(152)로부터의 전압 공급이 가능하며, 양호한 히스테리시스 곡선이 얻어졌다.

본 발명의 실시예에서는, 산화물 유전체층의 선택은 본질이 아니다.  $x$ 가 0.5 이외의 티탄산지르콘산염( $Pb(Zr_{1-x}Ti_x)O_4$ ), 티탄산바륨스트론튬( $(Ba,Sr_{1-x})TiO_4$ )( $x=0$  내지 1)), 티탄산지르콘산바륨면, 비스무트계층형 강유전체를 이용하여도 마찬가지로 메모리셀을 형성할 수 있었다.

#### <발명의 실시예 10>

본 발명의 실시예에서는, 본 발명의 실시예 6에서 상세히 기술한, MOS 트랜지스터의 형성으로부터 다결정 실리콘 플러그의 형성까지의 전 공정이 완료한 기판 상에, 질화티타늄 알루미늄 확산 및 산화 방지층을 포함하는 산화물 유전체 캐패시터를 형성한 공정이다. 여기서는 하부 전극의 구조로서, 도 6에 도시한 질화티타늄 알루미늄 상에 금속층, 도전성 산화물층, 산화물 유전체층을 순차 적층하는 구조를 채용하였다.

우선, 도 20에 도시한 바와 같이, 발명의 실시예 9와 마찬가지로, 질화티타늄 알루미늄( $(Ti_{0.6}Al_{0.4})_2O_3$ )층(191) 및 금속층(181)을 형성하였다. 다른 알루미늄, 혹은 질소 함유량에 대해서도 이하의 효과는 마찬가지였다. 또한, 금속층으로서 이리듐이나 루테튬이나 레늄을 이용하여도 마찬가지의 효과가 확인되었다.

도전성 산화물층(201)으로서, RF 마그네트론 스퍼터링법을 이용하여 형성한 두께 50nm의  $IrO_2$ 를 이용하였다. 타겟에는 Ir 금속 타겟을 이용하였다. 형성 조건은, 기판 가열 히터 온도 500°C, 입사 전력 15W/cm<sup>2</sup>, 성막 속도 3nm/분, 방전 Ar 가스/ 산소 가스 유량비 50/50, 압력 7mTorr이다.

다음에, 이 위에 DC 스퍼터링법에 의해 50nm의  $Pr_2O_3$ 로 피복하고, 드라이 에칭법에 의해, 포토레지스트의 마스크 패턴을 이것에 전사하였다. 이 전사 패턴을 마스크로 하여, 스퍼터 에칭법에 의해 질화티타늄 알루미늄층(191)과 금속층(181)과 도전성 산화물층(201)을 패터닝하였다.

전사 마스크를 에칭으로 제거한 후에, 산화물 유전체층(163)을 형성하였다. 본 발명의 실시예에서는, 산화물 유전체로서, 반응성 증착법에 의해 형성한 비스무트계층형 강유전체,  $BiTi_2O_7$ 를 이용하였다. 압력 50μTorr의 산소 분위기 중에서, 티타늄은 전자총을 이용하여, 비스무트는 에프존셀을 이용하여 증발시키고, 실온에서 두께 100nm의 비정질 산화물 박막을 형성시켰다. 형성 후, 산소 분위기 중 700°C에서 2분간 금속 층을 가열하여, 이것을 결정화시켰다. 마지막으로, 백금 플레이트 전극(164)을 형성, 패터닝하여 메모리셀의 캐패시터를 완성시켰다.

이 산화물 강유전체 캐패시터의 분극 히스테리시스 특성을, 캐패시터 면적 0.2 내지 25mm<sup>2</sup>까지 변화시킨 시료에 대해 측정하였다. 그 결과, 어느 하나에 있어서도 다결정 실리콘 플러그(152)로부터의 전압 공급이 가능하며, 양호한 히스테리시스 곡선이 얻어졌다.

본 발명의 실시예에서는, 도전성 산화물층 및 산화물 유전체층의 선택은 본질이 아니다. 그 외에도, 티탄산지르콘산염( $Pb(Zr_{1-x}Ti_x)O_4$ )( $x=0$  내지 1)), 티탄산바륨스트론튬( $(Ba,Sr_{1-x})TiO_4$ )( $x=0$  내지 1)), 티탄산지르콘산바륨면, 다른 비스무트계층형 강유전체,  $SrBi_2Ta_2O_{10}$ 를 이용하여도 마찬가지로 메모리셀을 형성하는 것이 가능하였다. 또한,  $RuO_2$ ,  $SrRuO_4$ ,  $ReO_3$  중 어느 한쪽의 도전성 산화물을 이용하여도 마찬가지의 효과가 얻어졌다.

이상과 같이, 본 발명에 따른 산화물 유전체 캐패시터의 반도체 장치에의 적용의 형태에 대해, 실리콘 기판상에 형성된 MOS 트랜지스터를 예로 설명하였다. 도전성 재료 선정 지침 1에 대해, 비산화성 분위기 중에서 산소 결손을 포함하는 도전성 산화물층을 형성하여 2층 도전성 산화물층을 형성함으로써, 이것과 인접하는 다결정 실리콘(발명의 실시예 6), 질화물 등으로 이루어지는 확산 방지 비산화물 도전층(발명의 실시예 7), 금속층을 통해 인접하는 확산 방지 비산화물 도전층(발명의 실시예 8)을 산화하지 않고, 메모리셀을 형성할 수 있었다. 도전성 재료 선정 지침 2에 대해, 질화티타늄 알루미늄 확산 및 산화 방지층을 형성함으로써, 이것과 인접하는 백금 등의 금속층의 두께를 30nm까지 얇게 하더라도 질화물층을 산화하지 않고 산화물 유전체층(발명의 실시예 9), 도전성 산화물층(발명의 실시예 10)을 적층하여, 메모리셀을 형성하는 것이 가능하였다. 이상의 구조 및 제조 방법에 의해서, 전극의 계면 저항이나 접촉 저항을 저감함과 동시에, 캐패시터의 애스펙트비를 작게 하는 것이 가능해져서, 고집적화에 알맞는 미세한 메모리셀을 갖는 반도체 장치를 얻을 수 있었다.

상술한 발명의 실시예에서는 주로 MOSFET에의 적용을 예로 설명을 하였지만, 적용의 범위는 예에 한정되지 않는다. 산화물 유전체(산화물 강유전체를 포함한다)를 캐패시터로서 이용하는 다른 디바이스, 예를 들면, 산화물 유전체를 소위 패스 컨덴서나 컵 컨덴서로서 이용하는 GaAs의 MMIC에 대해서도 본 발명이 유효한 것은 물론이다.

#### (57) 청구의 범위

청구항 1. 기판과, 상기 기판 상부에 설치된 하부 전극층과, 상기 하부 전극층 상에 설치된 산화물 유전체층과, 상기 산화물 유전체층 상에 설치된 상부 전극층을 지니고, 상기 하부 및 상부 전극층과 산화물 유전체층은 산화물 유전체 캐패시터를 구성하고, 상기 하부 전극층은 도전성 산화물층을 포함하고, 상기 도전성 산화물층은 인접하는 2층으로 구성되며, 상기 인접하는 2층은 동일한 결정 구조 및 원소로 구성되는 것의 산소에 대한 조성비만이 다르고, 상기 인접하는 2층 중 기판측에 위치하는 층이 산소 결손을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 2. 제1항에 있어서,

상기 기판 상에 MOS 트랜지스터가 배치되고, 상기 하부 전극층은, 상기 MOS 트랜지스터의 소스 영역 또는 드레인 영역과 전기적으로 접속된 것을 특징으로 하는 반도체 장치.

청구항 3. 제1항에 있어서,

상기 하부 전극층에, 상기 기판층으로부터 도전성 실리콘층/산소 결손을 포함하는 도전성 산화물층/도전성 산화물층의 순으로 적층하여 구성되는 것을 특징으로 하는 반도체 장치.

청구항 4. 제1항에 있어서,

상기 하부 전극층에, 상기 기판층으로부터 도전성 실리콘층/확산 방지 비산화물 도전층/산소 결손을 포함하는 도전성 산화물층/도전성 산화물층의 순으로 적층하여 구성되는 것을 특징으로 하는 반도체 장치.

청구항 5. 제4항에 있어서,

상기 하부 전극층에 있어서, 상기 확산 방지 비산화물 도전층과 상기 산소 결손을 포함하는 도전성 산화물층 사이에 백금, 루테튬, 및 이리듐으로 더 이루어지는 군으로부터 선택된 적어도 1종의 금속으로 이루어지는 금속층이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 6. 제4항에 있어서,

상기 확산 방지 비산화물 도전층은, Ti, Ta, Zr, Nb, V 및 W로 이루어지는 군으로부터 선택된 적어도 1종의 금속을 포함하는 질화물로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 7. 제1항에 있어서,

상기 2종의 도전성 산화물층을 구성하는 산화물은, 루틸 구조를 갖는  $RuO_2$  및  $IrO_2$ 로부터 선택된 적어도 1종의 화합물인 것을 특징으로 하는 반도체 장치.

청구항 8. 제7항에 있어서,

상기 루틸 구조를 갖는 상기 산소 결손을 포함하는 도전성 산화물층은, 그 산소 결손을 포함하는 화학식  $MO_{2-x}$  (M은 상기 Ru 또는 Ir의 원소)에 있어서의 산소 결손량  $x$ 가 0보다도 크고 또한 상기 루틸 구조를 안정적으로 유지할 수 있는 값보다 작은 것을 특징으로 하는 반도체 장치.

청구항 9. 제1항에 있어서,

상기 2종의 도전성 산화물층을 구성하는 산화물은, 페로브스카이트 구조를 갖는  $CaRuO_3$ ,  $SrRuO_3$ , 및 La를 0.5 중량% 이상 또한 4.0 중량% 이하 첨가한  $SrTiO_3$ 으로 이루어지는 군으로부터 선택된 적어도 1종의 화합물로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 10. 제1항에 있어서,

상기 2종의 도전성 산화물층을 구성하는 산화물은, 페로브스카이트 구조를 갖는  $CaRuO_3$ ,  $SrRuO_3$ , 및 La를 0.5 중량% 이상 또한 4.0 중량% 이하 첨가한  $SrTiO_3$ 으로 이루어지는 군으로부터 선택된 적어도 1종의 화합물과, 상기 화합물을 구성하는 알칼리토류 원소의 산화물, CaO 혹은 SrO로 이루어지는 혼합 상(相)인 것을 특징으로 하는 반도체 장치.

청구항 11. 제9항에 있어서,

상기 페로브스카이트 구조의 산화물로 이루어지는 상기 산소 결손을 포함하는 도전성 산화물층은, 그 화학식  $AMO_{2-x}$  (A와 M은 상기 Ca, Sr, Ru, Ti, 및 La 원소 중 어느 하나를 나타낸다)에 있어서의 산소 결손량  $x$ 가 0보다도 크고 또한 상기 페로브스카이트 구조를 안정적으로 유지할 수 있는 값보다 작은 것을 특징으로 하는 반도체 장치.

청구항 12. 제1항에 있어서,

상기 2종의 도전성 산화물층은,  $ReO_3$ 으로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 13. 제12항에 있어서,

상기  $ReO_3$ 으로 이루어지는 상기 산소 결손을 포함하는 도전성 산화물층은, 그 산소 결손을 포함하는 화학식  $ReO_{3-x}$ 에서의 산소 결손량  $x$ 가 0보다도 크고 또한 상기  $ReO_3$ 형 구조를 안정적으로 유지할 수 있는 값보다 작은 것을 특징으로 하는 반도체 장치.

청구항 14. 제1항에 있어서,

상기 산소 결손을 포함하는 도전성 산화물층의 두께는, 10nm 이상인 것을 특징으로 하는 반도체 장치.

청구항 15. 제1항에 있어서,

상기 산화물 유전체층은, 티탄산지르콘산염, 티탄산지르콘산바륨염, 및 티탄산바륨스트론튬으로부터 선택된 하나의 화합물로 형성되는 것을 특징으로 하는 반도체 장치.

청구항 16. 제1항에 있어서,

상기 산화물 유전체층은, 비스무트계층형 강유전체인 것을 특징으로 하는 반도체 장치.

청구항 17. 비산화성 분위기 중에서, 도전성 산화물을 구성하는 원소를 스퍼터링 또는 증발시켜 산소 결손을 포함하는 도전성 산화물층을 형성하고, 상기 산소 결손을 포함하는 도전성 산화물층 상에 도전성 산화물층을 형성함으로써 동일한 결정 구조 및 원소로 구성되는 것의 산소에 대한 조성비만이 다른 2종의 도전성 산화물층을 주체로 하는 하부 전극층을 기판 상부에 형성하는 공정과, 상기 하부 전극층 상에 산화물 유전체층을 형성하는 공정과, 상기 산화물 유전체층 상에 상부 전극층을 형성하는 공정을 포함하고, 상기 하부 및 상부 전극층과 산화물 유전체층으로 산화물 유전체 캐패시터를 구성하는 것을 특징으로 하



는 반도체 장치의 제조 방법.

청구항 18. 제17항에 있어서,

상기 기판 상부에 MOS 트랜지스터의 적어도 1부를 형성한 후, 상기 MOS 트랜지스터의 소스 영역 또는 드레인 영역과 전기적으로 접속되도록 상기 하부 전극층을 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 19. 제17항에 있어서,

상기 2층의 도전성 산화물층에 있어서의 상기 산소 결손을 포함하는 도전성 산화물층은 스퍼터링법에 의해 형성되고, 상기 비산화성 분위기 가스가 순도 3N(99.9%) 이상의 아르곤(Ar) 가스인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 20. 제17항에 있어서,

상기 2층의 도전성 산화물층에 있어서의 상기 산소 결손을 포함하는 도전성 산화물층은 스퍼터링법 또는 증착법에 의해 형성되고, 상기 비산화성 분위기는 산소( $O_2$ ), 일산화질소( $NO$ ), 이산화질소( $NO_2$ ), 및 오존( $O_3$ ) 중 어느 하나로 구성되는 산화성 가스를 의도적으로 도입하지 않는 1  $\mu$ Torr 이하의 진공 상태인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 21. 제17항에 있어서,

상기 2층의 도전성 산화물층에 있어서의 상기 산소 결손을 포함하는 도전성 산화물층은 스퍼터링법 또는 증착법에 의해 형성되고, 상기 비산화성 분위기 가스가 산소( $O_2$ ), 일산화질소( $NO$ ), 이산화질소( $NO_2$ ), 및 오존( $O_3$ )으로 이루어지는 군으로부터 선택된 적어도 일종으로 구성되고, 그 압력 혹은 분압이 10  $\mu$ Torr 이하인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 22. 기판과, 상기 기판 상부에 설치된 하부 전극층과, 상기 하부 전극층 상에 설치된 산화물 유전체층과, 상기 산화물 유전체층 상에 설치된 상부 전극층을 지니고, 상기 하부 및 상부 전극층과 산화물 유전체층은 산화물 유전체 캐패시터를 구성하며, 상기 하부 전극층이 질화티타늄/알루미늄층을 포함하는 것을 특징으로 하는 반도체 장치.

청구항 23. 제22항에 있어서,

상기 기판 상부에 MOS 트랜지스터가 배치되고, 상기 하부 전극층은 상기 MOS 트랜지스터의 소스 영역 또는 드레인 영역과 전기적으로 접속된 것을 특징으로 하는 반도체 장치.

청구항 24. 제22항에 있어서,

상기 하부 전극층은, 기판측으로부터 도전성 실리콘층/질화티타늄/알루미늄층/금속층의 순으로 적층하여 구성되는 것을 특징으로 하는 반도체 장치.

청구항 25. 제24항에 있어서,

상기 하부 전극층에 있어서, 상기 금속층 상에는 도전성 산화물로 더 이루어지는 층이 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 26. 제24항에 있어서,

상기 금속층은, 백금, 이리듐, 루테튬, 및 레늄으로 이루어지는 군으로부터 선택된 적어도 1종의 금속 원소로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 27. 제25항에 있어서,

상기 도전성 산화물층은,  $IrO_2$ ,  $RuO_2$ ,  $SrRuO_4$ , 및  $ReO_3$ 으로 이루어지는 군으로부터 선택된 적어도 1종의 화합물로 구성되는 것을 특징으로 하는 반도체 장치.

청구항 28. 제22항에 있어서,

상기 질화티타늄 알루미늄층의 조성은, 화학식  $(Ti_{1-x}Al_x)_2N_3$ 로 나타내고,  $x$ 가 0.2 이상 0.5 이하 또한  $y$ 가 0.4 이상 0.6 이하인 것을 특징으로 하는 반도체 장치.

청구항 29. 제22항에 있어서,

상기 산화물 유전체층은, 티탄산지르콘산염, 티탄산지르콘산바륨염, 및 티탄산바륨스트론튬의 군으로부터 선택된 하나의 화합물로 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 30. 제22항에 있어서,

상기 산화물 유전체층은, 비스무트계층형 강유전체인 것을 특징으로 하는 반도체 장치.

청구항 31. 절화성 분위기 중에서, 스퍼터링에 의해 질화티타늄/알루미늄층을 포함하는 하부 전극층을 기판 상부에 형성하는 공정과, 상기 하부 전극층 상에 산화물 유전체층을 형성하는 공정과, 상기 산화물 유전체층 상에 상부 전극층을 형성하는 공정을 지니고, 상기 하부 및 상부 전극층과 산화물 유전체층이 산화물 유전체 캐패시터를 구성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 32. 제31항에 있어서,

상기 하부 전극층을 형성하는 공정 전에, 상기 기판 상부에 MOS 트랜지스터 중 적어도 1부를 형성하고, 상기 하부 전극층을 상기 MOS 트랜지스터의 소스 영역 또는 드레인 영역과 전기적으로 접속되도록 형성하

는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 33. 제31항에 있어서,

상기 질화티타늄 알루미늄 확산 및 산화 방지층을 형성하는 상기 질화성 분위기가, 불활성 가스 중에 질소 가스를 10 내지 90vol% 포함하는 분위기인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 34. 제31항에 있어서,

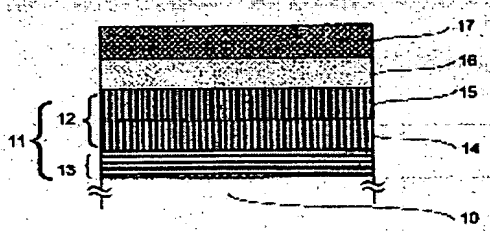
상기 질화티타늄 알루미늄 확산 및 산화 방지층을 형성하는 온도가, 550°C 이하인 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 35. 반도체 재료로 이루어지는 제1 영역과, 상기 제1 영역에 접합되고 또한 제1 도전성 재료로 이루어지는 제2 영역과, 상기 제2 영역에 접합되고 또한 상기 제2 도전성 재료로 이루어지는 제3 영역과, 상기 제3 영역에 접합되고 또한 산화물의 유전체 재료로 이루어지는 제4 영역과, 상기 제4 영역에 접합되고 또한 도전성 재료로 이루어지는 제5 영역을 포함하고, 상기 제1 영역의 상기 제2 영역과의 접합 계면에 있어서의 재료 조성은 상기 제1 영역의 평균적인 재료 조성과 대략 같고, 또한 상기 제2의 영역의 상기 제1 영역과의 접합 계면 및 상기 제3 영역과의 접합 계면에 있어서의 재료 조성은 상기 제2 영역의 평균적인 재료 조성과 대략 같은 것을 특징으로 하는 반도체 장치.

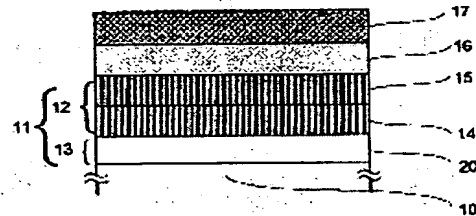
청구항 36. 도전성을 갖는 반도체 재료로 이루어지는 제1 영역과, 상기 제1 영역에 접합되고 또한 제1 도전성 재료로 이루어지는 제2 영역과, 상기 제2 영역에 접합되고 또한 상기 제2 도전성 재료로 이루어지는 제3 영역과, 상기 제3 영역에 접합되고 또한 산화물의 유전체 재료로 이루어지는 제4 영역과, 상기 제4 영역에 접합되고 또한 도전성 재료로 이루어지는 제5 영역을 포함하며, 상기 제1 영역의 저항률의 평균치는 상기 반도체 재료의 저항률과 대략 같고, 또한 상기 제2 영역의 저항률의 평균치는 상기 제1 도전성 재료의 저항률과 대략 같은 것을 특징으로 하는 반도체 장치.

도면

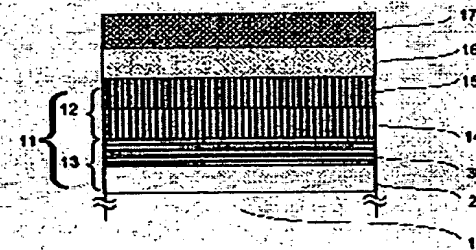
도면1



도면2

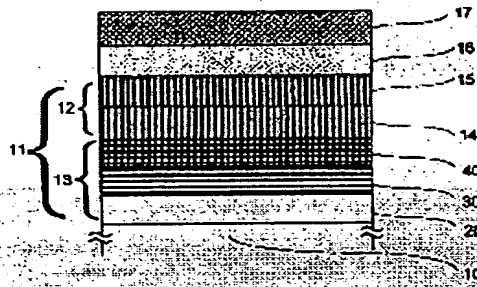


도면3

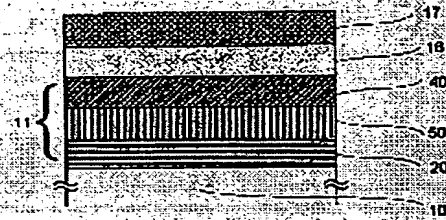




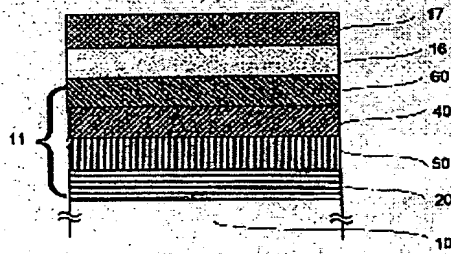
도 4



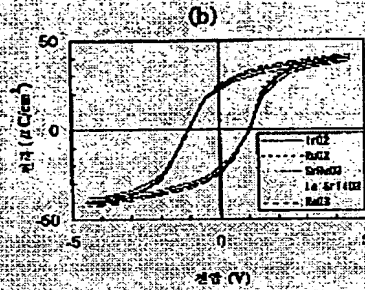
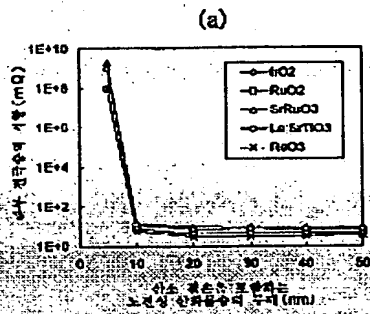
도 5



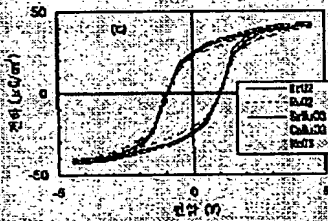
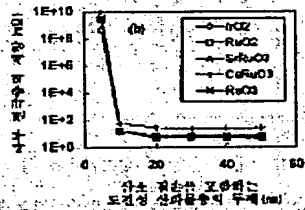
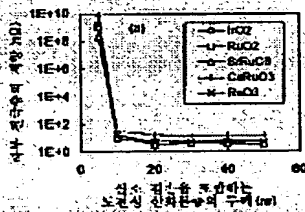
도 6



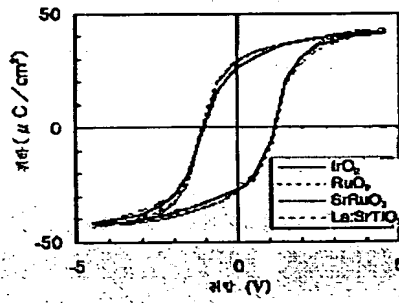
도 17



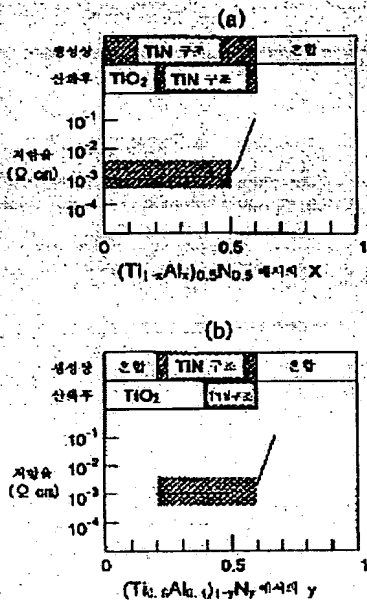
도 18



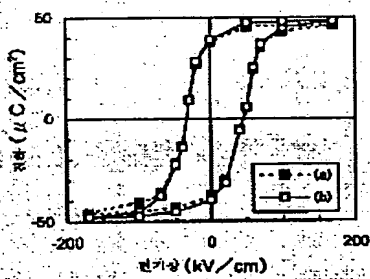
도면 9



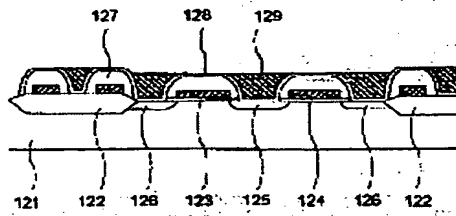
도면 10



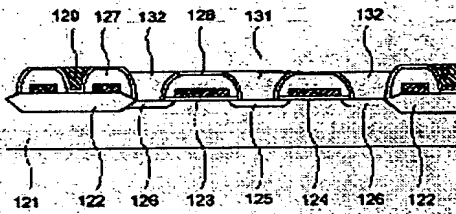
도면 11



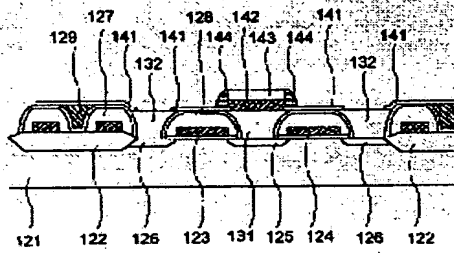
도 12



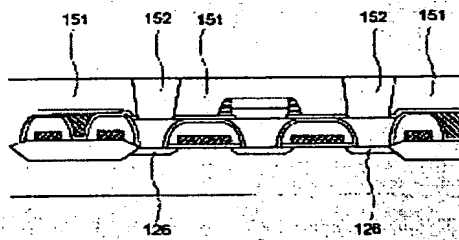
도 13



도 14



도 15



도 16

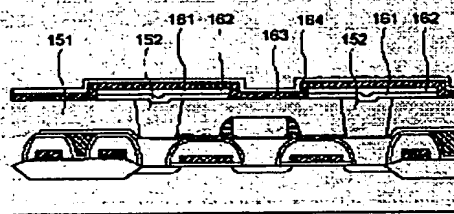


FIG 1

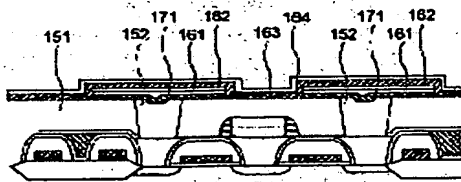


FIG 2

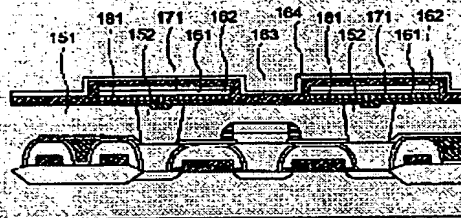


FIG 3

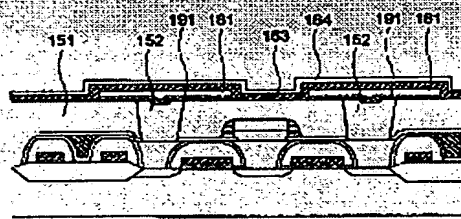
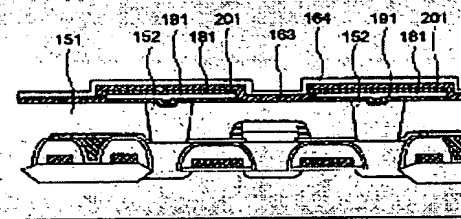


FIG 4



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☒ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**